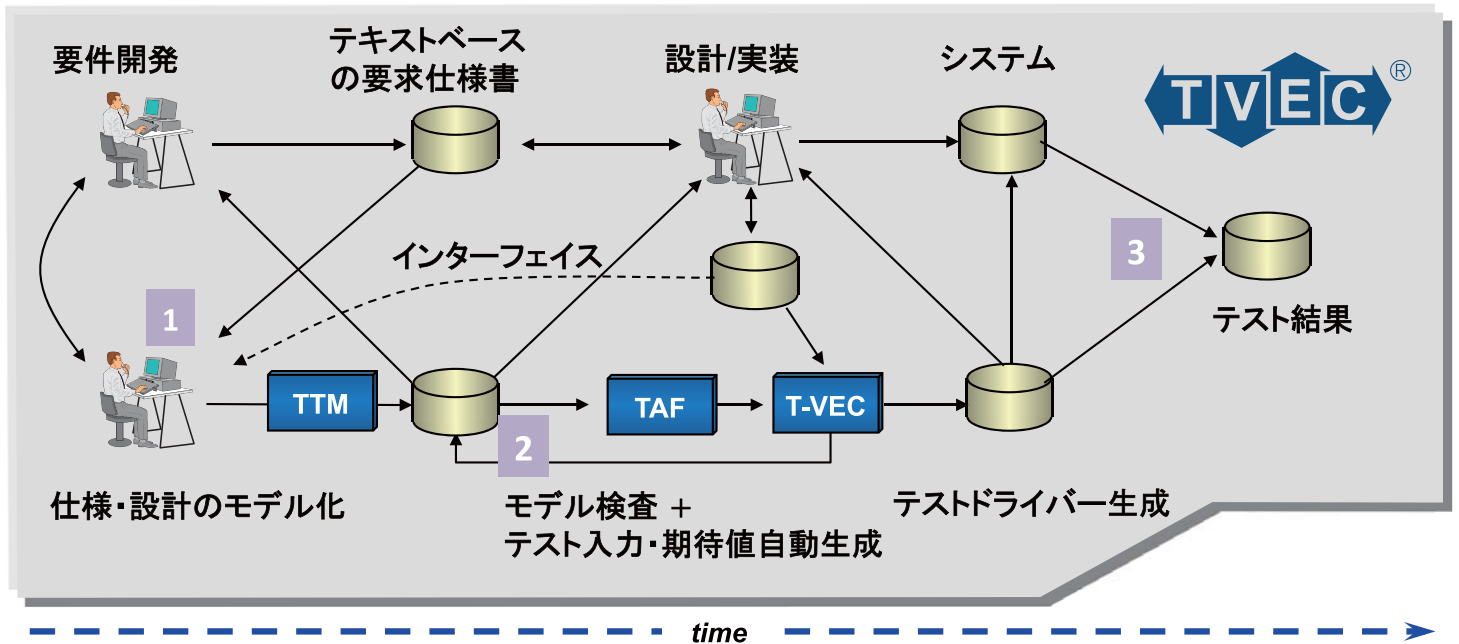


テスト入力・期待値を自動生成



- ① 要求仕様を表形式にモデル化することで仕様の漏れや曖昧さを排除
- ② モデル検査で仕様を定理証明すると同時に、MC/DCを満たすテスト入力と期待値を自動生成
- ③ 要件ベーステストの実行でコード内のエラーの不在証明とトレーサビリティ管理を支援

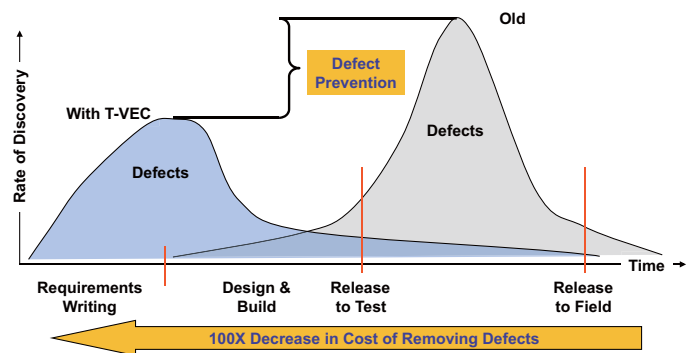
■ひとつぶで二度おいしい

T-VEC のモデルベースドテスト(MBT)は、表形式にモデル化した仕様からテスト入力と期待値の両方を自動生成すると同時に、テストが生成できない仕様上の矛盾を検出することができます。(形式手法によるモデル検査)

仕様上の欠陥を開発の早期段階から排除して手戻りをなくすことに加えて、自動生成される入力と期待値を用いた要件ベーステストの実行や、要件トレーサビリティ管理などの工数を飛躍的に削減することができます。

■こんな症状でお困りでは？

- 仕様上の問題が多く欠陥の原因である
- 実はテストのデバッグがばかにならない
- 機能間の問題に多くのテスト工数を要する



*Source: Ed Safford - Lockheed Martin, Software Technology Conference, 2000.

特徴

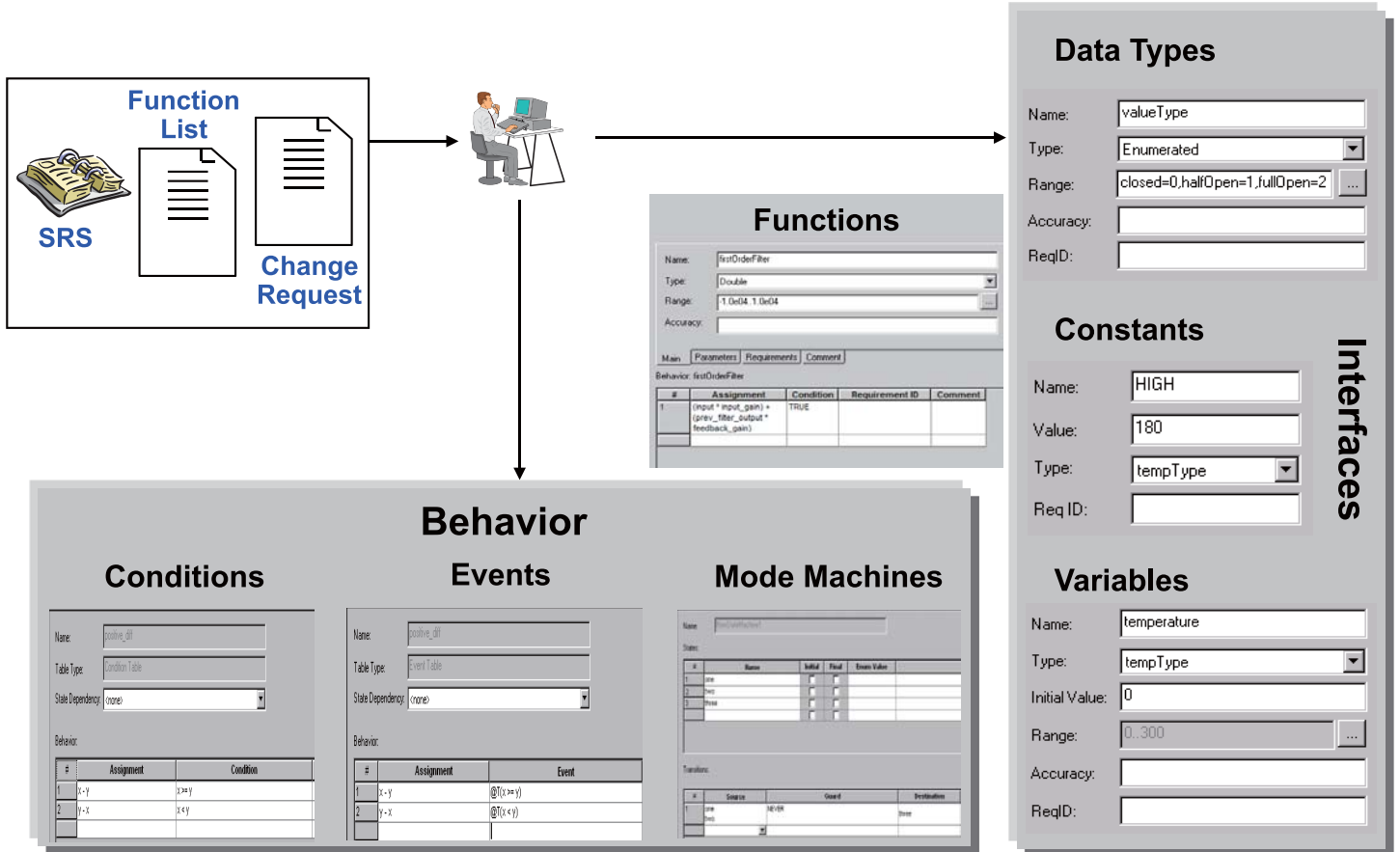
- ・ 人には解析が困難な階層間に跨る非線形な処理も定理証明できる
- ・ テスト入力と期待値は上下限值、境界値を踏まえて自動生成され、フロートやダブルなどあらゆるデータ型をサポート
- ・ 状態爆発しない(サブシステムごとに上流の制約を加味した入力で検査)
- ・ モデルによる抽象化でテストの変更・構成管理も軽減されて派生開発やSPLEにも有効

モデル検査だけでは要件ベーステストによるランタイムなエラーの不在証明はカバーされない

■T-VEC TTM : テスト自動化のフレームワーク

TTM(T-VEC Tabular Modeler)は、仕様を表形式の GUI を用いてモデル化するツールです。TTM でモデル化された仕様は T-VEC VGS(Vector Generation System)でモデル検査(形式手法)され、その成果物として MC/DC を満たすテスト入力と期待値が自動生成されます。

- 早期段階からインターフェイスを明確にすることを促進してアーキテクチャを安定化
- モデリング作業を通じて仕様を洗練して欠陥を早期に発見



TTM ではシステムの入 / 出力間のリレーションシップを表形式にモデル化します。具体的には、振舞いの要件をデシジョンテーブル(コンディションとイベント)とステートマシンで定義します。プログラミング言語と同等の記述法を用いてモデル化できるので、実装担当者なら数日で学習できます。プログラムはシーケンシャルに実装しますが、表を用いて離散的に表現するといったイメージです。あるいはテスト仕様書に相当すると考えることもできます。

■T-VEC

航空宇宙、医用機器、データベースのセキュリティ、スマートカードシステムなど、幅広いドメインで採用される実践的な形式手法です。T-VEC ツールのコアは 1980 年代後半に開発され、FAA で求められる要求仕様ベースのテストで、コードレベルの MC/DC カバレッジを満たすことが証明され、DO178 の認証取得等に役立てられています。T-VEC は、以下の機能で構成されます。

- T-VEC Tabular Modeler (TTM)
- T-VEC Vector Generation System (VGS)



T-VEC Technologies, Inc.
<http://www.t-vec.com/>