

XJTAG DFT Analysis について

JTAG バウンダリスキャンテストのカバレッジを考察することは、基板テスト設計の大切な要素です。XJDeveloper を単独、あるいは複合的なテストソリューションの一部に使用する場合のどちらにも、Design For Test 解析結果から有益な情報を得ることができます。

目次

DFT Analysis 画面.....	2
サマリ及びテストカバレッジ.....	3
詳細なテストカバレッジの確認方法.....	4
DFT Analysis Tutorial(ver2.5.10)	6

DFT Analysis 画面

XJTAG を起動し、画面左の Screen Explorer 画面の中段にある「Design For Test」セクションから「DFT Analysis」を選択します。下図の例では、システム全体のカバレッジサマリーを表示しています。

パイグラフでは 3 つの色によってテスト状態が確認できます。青色は Tested(テスト可能)ピン、赤色は Untested(テスト不可能)ピン、黄色は Power(電源関連)ピンです。電源関連ピンは JTAG バウンダリスキャンテストの対象外ですので、これもテスト対象外です。

The screenshot shows the XJTAG software interface. On the left, the 'Design For Test' section is expanded, and 'DFT Analysis' is highlighted with a red box and a red arrow. The main window displays a 'Summary Statistics' table and a 'Chart View' section.

Element	JTAG	Short	Open	Stuck.H	Stuck.L	Functional	Tested	Power	Untest.	Total
Demonstratio...	25	201	172	228	228	50	285	121	16	422
XJDemo										
C1	0	0	0	0	0	0	0	2	0	2
C2	0	0	0	0	0	1	1	1	0	2
C3	0	1	0	1	1	0	1	1	0	2
C4	0	0	0	0	0	0	0	2	0	2
C5	0	0	0	0	0	0	0	2	0	2
C6	0	0	0	0	0	0	0	2	0	2
C7	0	0	0	0	0	0	0	2	0	2
C8	0	0	0	0	0	0	0	2	0	2
C9	0	0	0	0	0	0	0	2	0	2
C10	0	0	0	0	0	0	0	2	0	2
C11	0	0	0	0	0	0	0	2	0	2
C12	0	0	0	1	1	0	1	1	0	2
C13	0	0	0	1	1	0	1	1	0	2
C14	0	0	0	0	0	0	0	2	0	2
C15	0	0	0	0	0	0	0	2	0	2
C16	0	0	0	1	1	0	1	1	0	2
C17	0	0	0	0	0	1	1	1	0	2
C18	0	0	0	0	0	1	1	1	0	2
C19	6	2	0	4	4	3	13	7	0	20
C20	0	0	0	0	0	0	0	4	4	8
C21	0	16	0	16	16	0	16	4	0	20
D1	0	1	1	1	1	1	2	0	0	2
D2	0	1	1	1	1	0	1	1	0	2
D3										2
D4										2
IC1										46
IC2										47
IC3										36
IC4	0	18	18	18	18	0	18	2	0	20
IC5	0	26	26	26	26	0	26	2	0	28

The 'Chart View' section contains two charts:

- Summary:** A donut chart showing the distribution of pins: Tested Pins (67.5%), Power Pins (28.7%), and Untested Pins (3.8%).
- Tested Pins Coverage:** A horizontal bar chart showing coverage for various test types: JTAG Pins (47.6%), Tested for Short Circuit Errors (40.8%), Tested for Open Circuit Errors (2.0%), Tested for Stuck High Errors (2.0%), Tested for Stuck Low Errors (54.0%), Tested by Functional Tests (54.0%), ADC test (11.8%), Fault Creation Jumpers (3.0%), Test Reset (3.0%), and PIO Ready (4.0%).

A red box highlights the 'DFT Analysis' menu item, and a red arrow points to it. A red box with the text 'DFT Analysis 画面の表示' is overlaid on the table.

サマリ及びテストカバレッジ

テストカバレッジを確認したい部品名を選択すると、右側の Chart View にパイグラフとテストカバレッジが表示されます。

Element	JTAG	Short	Open	StuckH	StuckL	Functional	Tested	Power	Untest..
D4	0	1	1	1	1	0	1	1	0
IC1	4	26	26	26	26	0	40	6	0
IC2	4	30	25	31	31	2	38	9	0
IC3	0	26	26	26	26	0	27	9	0
IC4	0	18	18	18	18	0	2	2	0
IC5	0	26	26	26	26	0	2	2	0
IC6	0	1	2	2	2	4	6	4	0
IC7	0	1	2	2	2	0	2	2	0
IC8	0	6	12	12	12	0	0	2	0
IC9	0	2	2	2	2	0	2	2	0
JP1	0	20	6	20	20	22	22	2	0
JP2	2	0	0	0	0	0	2	0	0
JP3	1	0	0	0	0	1	2	0	0
JP4	1	0	0	0	0	1	2	0	0
JP5	0	0	0	0	0	2	2	0	0
R1	0	1	1	1	1	0	1	1	0
R2	0	1	0	1	1	0	0	0	0
R3	0	0	0	0	0	0	0	0	0
R4	0	0	0	0	0	0	0	0	0
R5	0	0	0	0	0	0	2	2	0
R6	0	0	0	0	0	0	2	2	0
R7	0	0	0	0	0	0	2	2	0
R8	0	0	0	0	0	0	2	2	0
R9	0	0	0	0	0	0	2	2	0
R10	0	0	0	0	0	0	0	0	0
R11	0	0	0	0	0	0	0	0	0

Choose Columns dialog box content:

- Element
- JTAG
- Short
- Open
- StuckH
- StuckL
- Functionally
- Tested
- Power
- Untested
- Total

端子が Tested ピンとなる条件は以下のいずれかの場合です。

- JTAG バウンダリスキャンピンであること
- ショートエラーが検出できること
- オープンエラーが検出できること
- スタック H エラーが検出できること
- スタック L エラーが検出できること
- 機能テストでエラーが検出できること

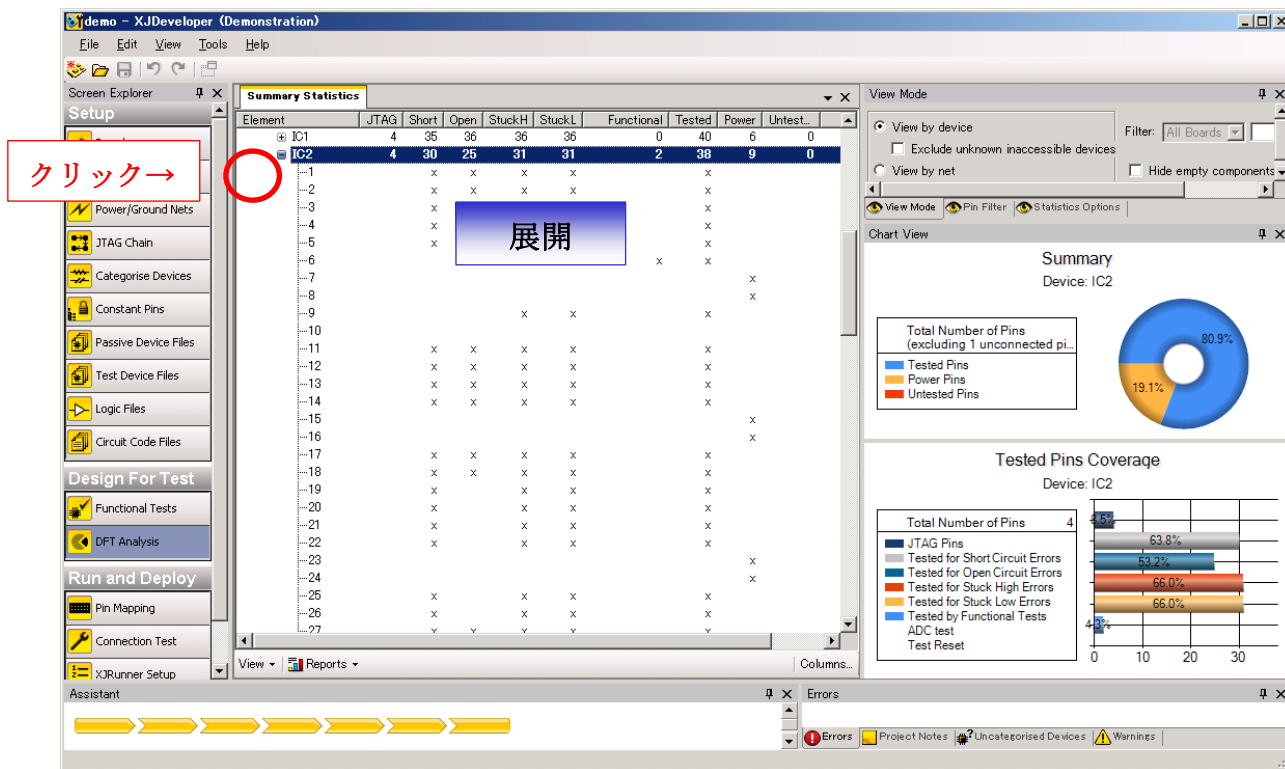
(端子が上記のいずれにも該当せず、Power ピンでない場合は Untested ピンに分類されます)

Tested となっている場合でも十分なテストができていないかどうかは、各端子のテストカバレッジを詳細に確認する必要があることを意味します。オープンエラーを確認したい端子が Tested となっていたとしても、ショートエラーをチェックしているだけの可能性があるためです。

Test Pins Coverage を見ても、全体で 80.9%に対して各エラーの検出率は約 60%程度となっており、単に Tested ピンの割合を確認するだけでは正確なテストカバレッジを評価できないことが分かります。

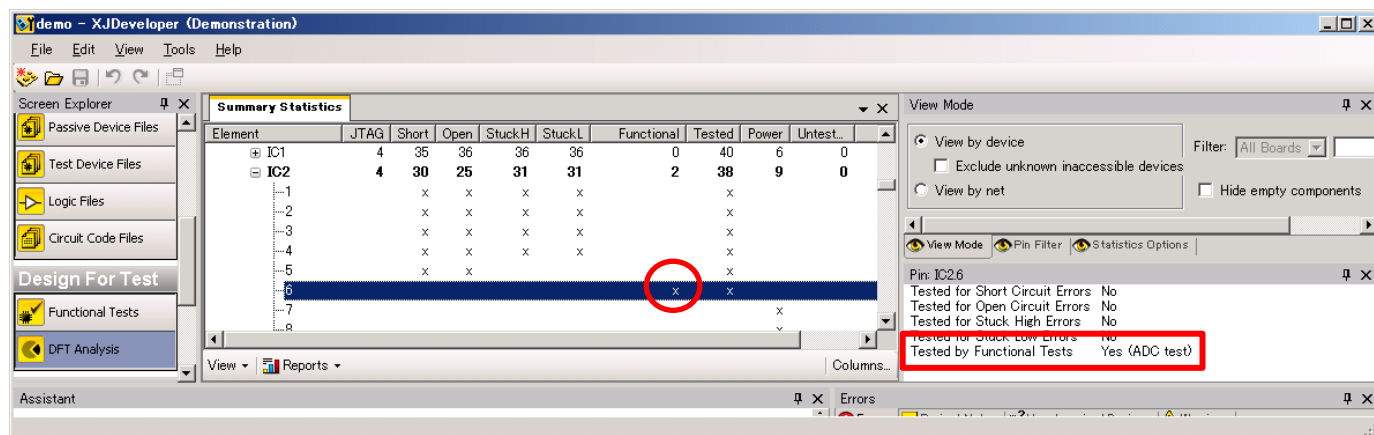
詳細なテストカバレッジの確認方法

端子毎の正確なテスト情報を得るためには、部品名の左にある + マークをクリックします。

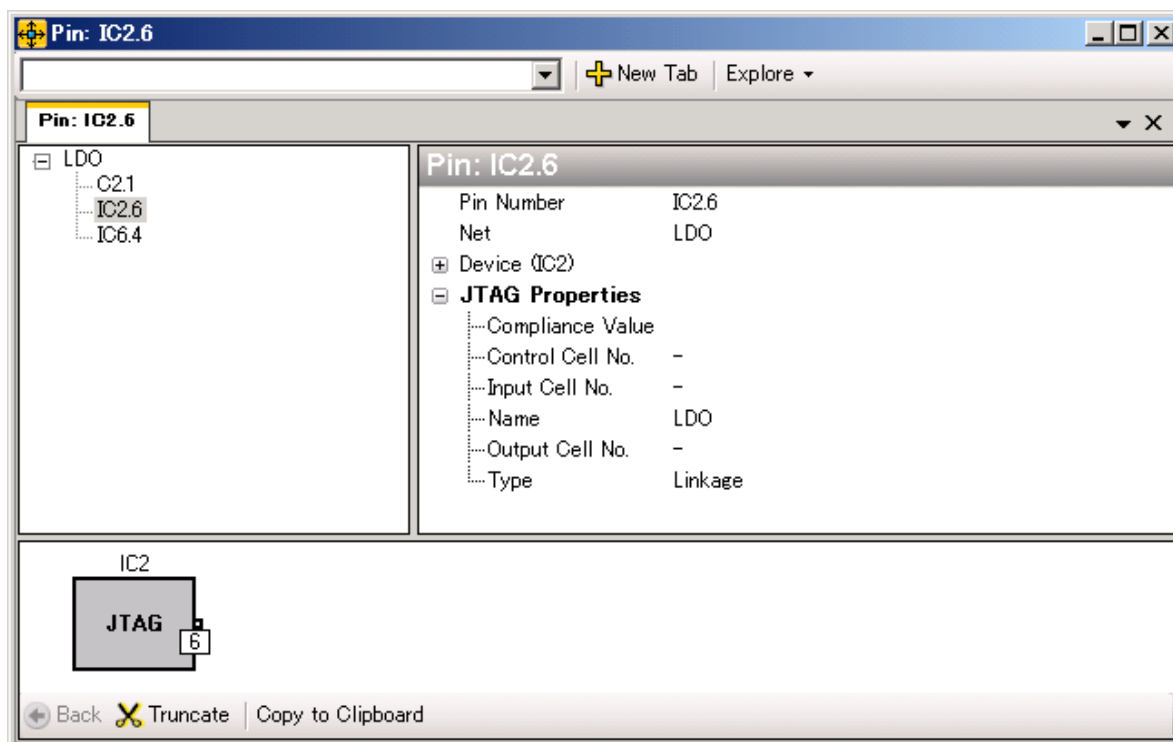


展開された情報は、端子毎のテスト内容を示したものです。各列の左端に端子名が表示されており、以降の列にテスト情報が表示されます。'x'がついたものが該当する項目で、Tested ピンならばどのテストが行われるかが確認できます。一方、Untested ピンならば Untested の列に'x'がついています。また、Power ピンの場合は Power の列に'x'がついています。

さらに各行をクリックすることで、信号線ごとにテストされる内容が右側に表示されます。下図の例、IC2 の 6 番ピンは JTAG デバイスのリンケージピンであるために JTAG コネクションテスト対象外ですが、ADC への機能テストによって間接的に評価されることを示しています。



また各行で右クリックして「Explorer」メニューを表示することで、各ピンの情報を確認することができます。接続先の端子を調査することでテストができない原因がどこにあるか分かる場合もあります。




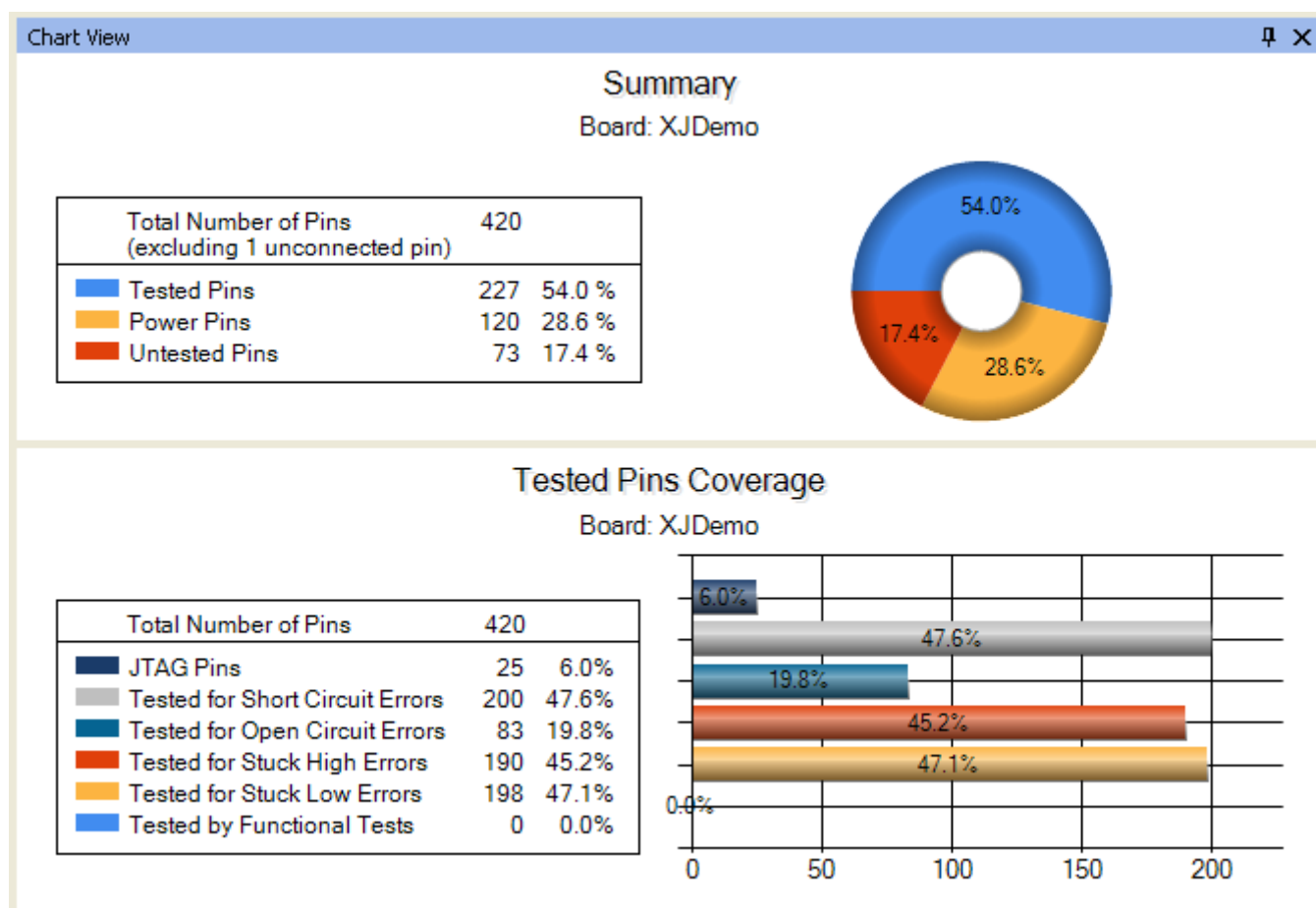
DFT Analysis Tutorial

この例では XJTAG バウンダリスキャンテストシステムに付属の XJDemo ボードを使用しますので、事前に XJDeveloper and XJEase のチュートリアルを理解されることをお勧めします。

テストカバレッジ情報が設定されていない XJDemo ボード用の XJDeveloper プロジェクトがあります。
(C:\Program Files\XJTAG xxx(インストールディレクトリ)\Help\demoNoDFT.zip)

- demoNoDFT.zip を任意のディレクトリに展開する。
- そのディレクトリ内に、スタート→XJTAG 2.5→XJTAG shared Files を開くことで得られる、Demo Board v3\Testcode 内の ODB++ディレクトリをコピーする。
- XJDeveloper で、このディレクトリ内の demo.xjd を開く。

XJDeveloper の Design For Test の  DFT Analysis 画面を選択すると、XJDemo ボードのテストカバレッジが以下のように表示されます。




このテストカバレッジは、XJDeveloper 内に設定された回路情報を基に XJTAG が自動的に生成した接続テストから導き出されています。テストされないピン (untested pins) が 73 で全体の 17.4%とレポートされて

おり、これは殆どのボードにとって妥当な結果と言えますが、XJDemo ボード上で達成できるテストカバレッジはもっと高くなります。

接続テストのみならず、XJDemo ボード用のテストには JTAG 未対応デバイスの機能を活用するものがあります。これらは、デバイスの機能をテストするために設計されたものではなく、デバイスの機能を利用してデバイスがボードに正しく接続されていることを検証するためのものです。

XJDeveloper は、これらテストを実行することで達成される追加のテストカバレッジを、自動的に包括して導くことはできません。テストされる欠陥の種類とバスを XJDeveloper に設定する必要があります。これは、XJDeveloper の Test Device Files セクションにある各バスの Tested for value を設定することで行います。


これら Tested For values を修正する前に、このボードの主な部品のカバレッジを確認します。

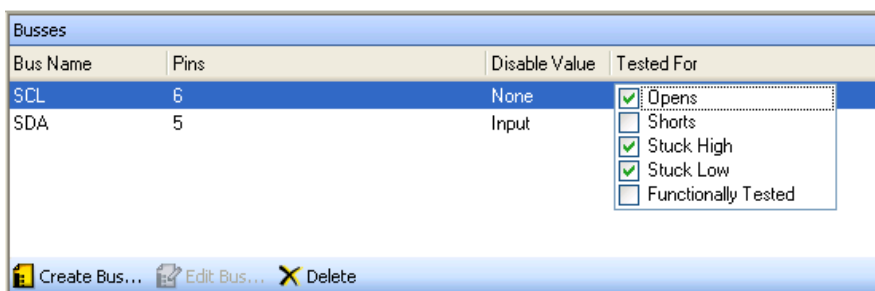
 DFT Analysis 画面左の Summary Statistics 内で XJDemo を展開させてから、右上の View Mode 枠内の Filter フィールドに IC と入力すると以下のようにフィルター表示されます。

Element	JTAG	Short	Open	StuckH	StuckL	Functional	Tested	Power	Untested	Total
Demonstration hardware	25	200	83	190	198	0	227	120	73	420
XJDemo	25	200	83	190	198	0	227	120	73	420
IC1	4	35	20	32	35	0	39	6	1	46
IC2	4	30	22	29	29	0	35	9	3	47
IC3	0	26	0	24	26	0	26	9	1	36
IC4	0	18	17	18	18	0	18	2	0	20
IC5	0	26	0	24	26	0	26	2	0	28
IC6	0	1	0	1	1	0	1	6	9	16
IC7	0	1	0	1	1	0	1	2	1	4
IC8	0	6	6	6	6	0	6	2	6	14
IC9	0	2	2	2	2	0	2	2	0	4

Element	Short	Open	StuckH	StuckL	Functional	Tested	Power	Untested	Total
Demonstration hardware	201	172	228	228	50	285	121	16	422
XJDemo	201	172	228	228	50	285	121	16	422
IC7	1	2	2	2	0	2	2	0	4
-4							x		
-5		x	x	x		x			
-6	x	x	x	x		x			
-8							x		

IC7 (IIC EEPROM) を例にとると、このデバイス用に実装されたテストは IIC インターフェース (SDA バスと SCL バス) の接続を検証します。どちらかのバスが開放、電源にスタック、グランドにスタックの状況であれば、テストは失敗します。また、2つのバスが互いに短絡していてもテストは失敗します。しかしながら、接続テストで得られるような、ボード上の残りの部分に対する広範な短絡エラーのカバレッジは得られません。このテストで得られるカバレッジを XJDeveloper に反映させるには、テストの実装に使用している Test Device File を修正する必要があります。

- 左端 Screen Explorer 内の Setup の下にある  Test Device Files 画面選択ボタンをクリック。
- ファイル 24XXX. xje をクリック。
- Busses 表示内で SDA バスをクリック。
- この SDA 行の Tested For 列の下にある None をダブルクリック。
- 表示されるオプションから Opens、Stuck High、Stuck Low を選択。
- Busses 表示内の Tested For 以外の部分ををクリックし、これら設定を反映させる。
- SCL バスに対しても同様の処理を行います。
- Test Device Files 表示下部にある Save をクリックします。



他の部品の Tested For セクションも、以下のように設定しましょう。

SRAM_TSOP28. xje

Bus Name	Pins	Disable Value	Tested For
ADDRESS	8, 5, 9, 2, 28, 3, 4, 10, 11, 12, 13, 14...	None	Opens, Shorts, Stuck-1, Stuck-0
DATA	26, 25, 24, 23, 22, 20, 19, 18	None	Opens, Shorts, Stuck-1, Stuck-0
nCE	27	High	Opens, Stuck-1, Stuck-0
nOE	1	High	Opens, Stuck-1, Stuck-0
nWE	6	None	Opens, Stuck-1, Stuck-0

ADS7830.xje

Bus Name	Pins	Disable Value	Tested For
ADC_CH	8, 7, 6, 5, 4, 3, 2, 1	None	None
GND	9, 11	None	None
I2C_ADDR	13, 12	None	None
P3V3	16	None	None
SCL	14	None	Opens, Stuck-1, Stuck-0
SDA	15	Input	Opens, Stuck-1, Stuck-0
VREF	10	None	None

Create Bus... Edit Bus... Delete

LED.xje

Bus Name	Pins	Disable Value	Tested For
ON_OFF	2	None	Opens, Stuck-1, Stuck-0

Create Bus... Edit Bus... Delete

pushbutton.xje

Bus Name	Pins	Disable Value	Tested For
BUTTON_OUT	3	None	Opens, Stuck-1, Stuck-0

Create Bus... Edit Bus... Delete

Crystal.xje

Bus Name	Pins	Disable Value	Tested For
nOUTPUT	2	None	Opens, Stuck-1, Stuck-0
OUTPUT	1	None	Opens, Stuck-1, Stuck-0

Create Bus... Edit Bus... Delete

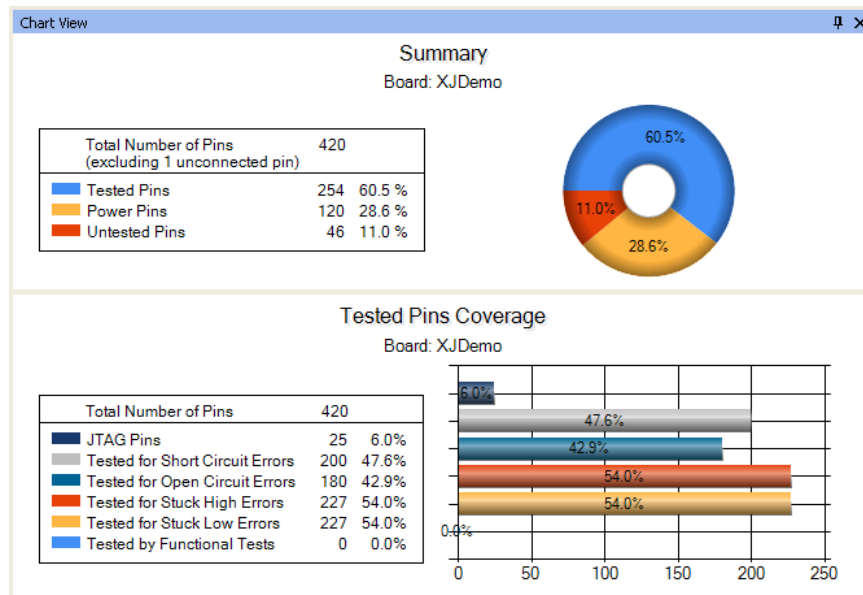
A29L400A.xje

Bus Name	Pins	Disable Value	Tested For
ADDR	3, 4, 5, 6, 7, 8, 18, 19, 20, 21, 22, 23...	None	Opens, Shorts, Stuck-1, Stuck-0
DATA	44, 42, 40, 38, 35, 33, 31, 29	None	Opens, Shorts, Stuck-1, Stuck-0
NBYTE	47	None	None
NCE	26	High	Opens, Stuck-1, Stuck-0
NDE	28	High	Opens, Stuck-1, Stuck-0
NRESET	12	None	None
NWE	11	None	Opens, Stuck-1, Stuck-0
RDY	15	None	None


Create Bus... Edit Bus... Delete

下図のように改めて DFT サマリを表示させると、デバイスファイルに対して追加されたテストカバレッジが反映されています。テストされないピンの数が 46 (11.0%) に減少したことが確認できます。そして開放エラーのカバレッジに着目すると、元のサマリでは 83 ピン (19.8%) のカバレッジが、テストデバイスファイルの Tested For に情報を追加したことで 180 ピン (42.9%) に増加しています。

開放エラーのテストカバレッジが大幅に向上していることがわかります。JTAG バウンダリスキャンの接続テストでは、短絡エラー検出には優れているものの開放エラー検出が難しいためです。接続テストで開放エラーを検証するためには、あるピンからネットを駆動した値を他のピンから読み取る必要があります。これは、ひとつのネット上に少なくとも2つの JTAG 対応ピンがあるという特別な状況が要求されます。それゆえ回路内の JTAG 未対応デバイスの機能を使ったテストを追加することで、開放エラーのテストカバレッジを大幅に向上させることができるのです。





次のステップではテストカバレッジの更なる向上を検討します。XJDeveloper の DFT Analysis セクションで、回路の untested セクションをハイライト表示します。

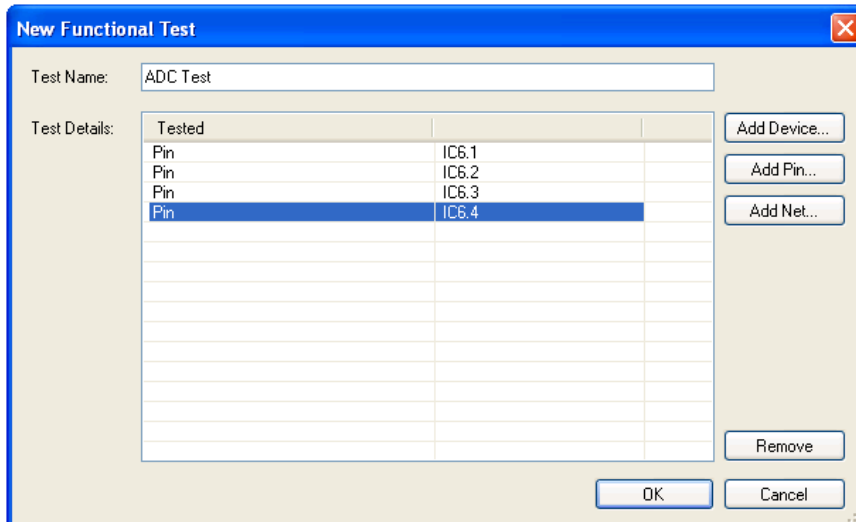
-  DFT Analysis 画面の右上にある View Mode 枠下部の Pin Filter タブをクリック。
- Show only pins that are not tested ボタンをクリック。
- DFT Analysis 画面の左側の Summary Statistics (filtered) セクションで、XJDemo の左の+マークをクリック。
- XJDemo を選択した状態で Untested 列をクリックして、この列内のデータを昇順に並べ替えて表示。テストされないピンが多いもの順に表示させる。

Summary Statistics (filtered)										
Element	JTAG	Short	Open	StuckH	StuckL	Functional	Tested	Power	Untested	Total
[-] Demonstration hardware	25	200	180	227	227	0	254	120	46	420
[-] XJDemo	25	200	180	227	227	0	254	120	46	420
[-] IC6	0	1	2	2	2	0	2	6	8	16
[+] IC2	4	30	25	31	31	0	36	9	2	47
[+] IC3	0	26	26	26	26	0	26	9	1	36
[-] IC4	0	18	17	18	18	0	18	2	0	20
[-] IC7	0	1	2	2	2	0	2	2	0	4
[-] IC9	0	2	2	2	2	0	2	2	0	4
[-] IC5	0	26	26	26	26	0	26	2	0	28
[-] IC1	4	35	35	36	36	0	40	6	0	46
[-] IC8	0	6	12	12	12	0	12	2	0	14

リストの最上段は IC6 で8つのピンがテストされていませんが、これらは ADC へのアナログ入力です。XJDemo ボード用に開発したテストは、これらのうち 4 入力をテストします。ただこのテストは Test Device Files 内で、この ADC のテストデバイスファイル (ADS7830.xje) の Tested For セクションに設定していません。このボードの設計に非常に特化したテストなので、本来 ADS7830.xje ファイルは、様々なボード上の同タイプの全デバイスに使用できる汎用ファイルなので、このボードでのみカバレッジされるテストを反映させるように設定するべきではありません。

そのため、このテストを XJDeveloper に設定するには、Functional Test を追加する必要があります。

- ScreenExplorer 内の Design For Test セクションの、 Functional Tests 画面選択ボタンをクリック。
- Functional Tests セクション下部の  Add... ボタンをクリック。
- Test Name に ADC Test と入力。
- Add Pin... ボタンをクリック。
- Select Device and Pin ダイアログ内の Suggested Device リスト内から IC6 をクリック。
- Pin Selector 内で、ピン 1、2、3、4 をクリック選択し、OK ボタンを押下。
- New Functional Test ダイアログが開くので OK をクリック。



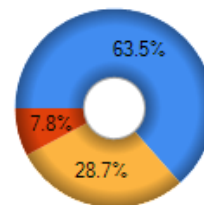
改めて DFT Analysis 画面で IC6 を確認すると Untested pins の数が 8 から 4 に減りました。一方この Functional Test の影響は IC6 以外にも及んでいます。

- DFT Analysis 画面の左側の Summary Statistics (Filtered) セクションで、XJDemo を選択します。

ボード上でテストされるピンのカバレッジを確認すると、ADC Test によるテストカバレッジは 13 ピンになっています。これには、IC6 の 4 つのアナログ入力ピンと、これらに接続されているネット上の他のピンが含まれます。結果この Functional Test はテストされないピンを 33 ピン (7.9%) まで削減します。

Summary
Board: XJDemo

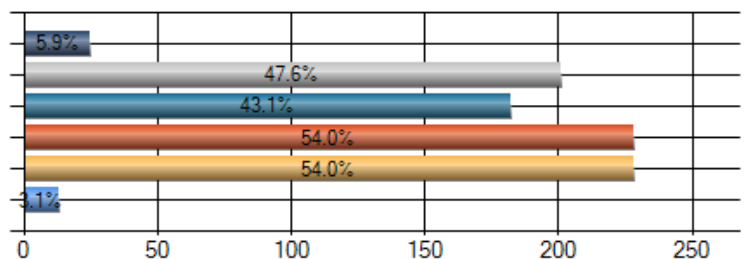
Total Number of Pins (excluding 1 unconnected pin)	422
Tested Pins	268 63.5%
Power Pins	121 28.7%
Untested Pins	33 7.8%



Tested Pins Coverage

Board: XJDemo

Total Number of Pins	422
JTAG Pins	25 5.9%
Tested for Short Circuit Errors	201 47.6%
Tested for Open Circuit Errors	182 43.1%
Tested for Stuck High Errors	228 54.0%
Tested for Stuck Low Errors	228 54.0%
Tested by Functional Tests	13 3.1%
ADC Test	13 3.1%



他にも、このプロジェクトに追加することでテストされないピンを 16 にまで減らすことができる Functional Test が、XJTAG 共有フォルダ内の別プロジェクトにあります。そして残る 16 ピンは ADC のテストされない

入力ピンやとこれらのピンが接続されているネット上のピンです。

これら残りにもテストカバレッジを得るには、これらアナログ入力をシミュレートする何らかの仕組みで ADC をチェックする必要があります。その一例として XJIO ボードを活用して XJDemo ボードのテストカバレッジを 100%にする方法の説明があります。(XJTAG Help→XJIO board→XJIO Board Version 2→Example を参照)