

C D N LIVE SM

Cadence User Conference 2017

cādence®

connect
share
inspire

 **FUJI SETSUBI**

**JTAGバウンダリスキャンテストの容易化設計を支援する
OrCAD® Capture の無償プラグイン**

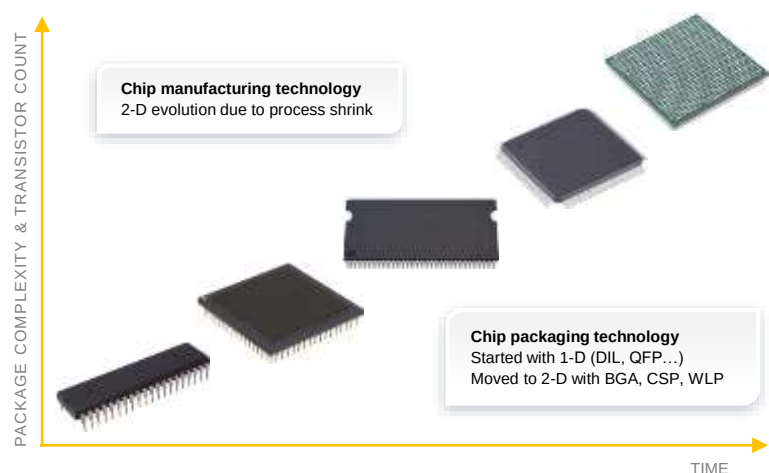
21 July 2017 (富士設備/浅野義雄)



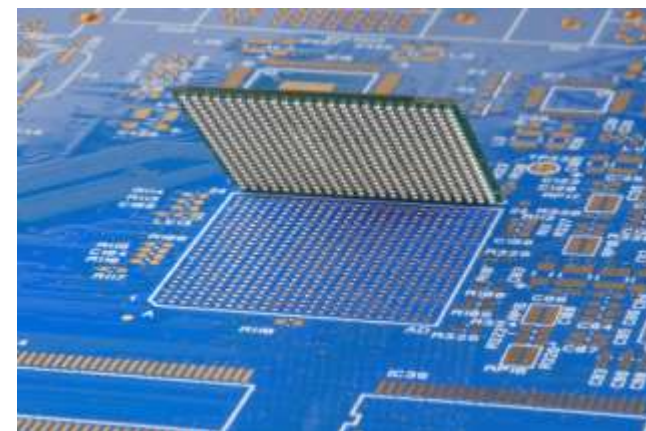
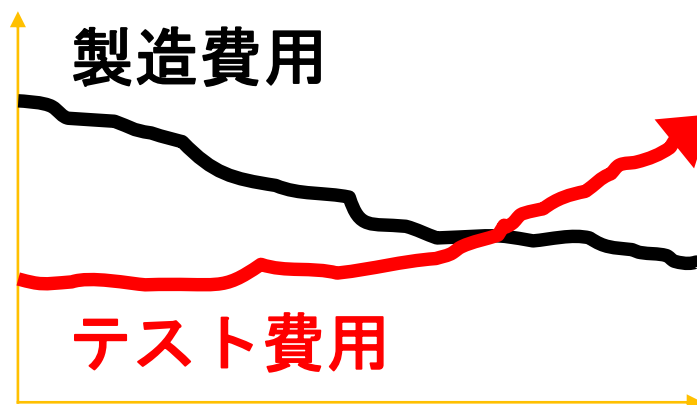
プローブ接続ではBGA実装の検査/解析/デバッグができない

プローブ接続が困難な高密度実装は増加の一方

このままでは テスト費用のほうが高くなる！



$$\text{Cost} = f(\text{volume, size, complexity})$$



IEEE1149.x のテスト規格

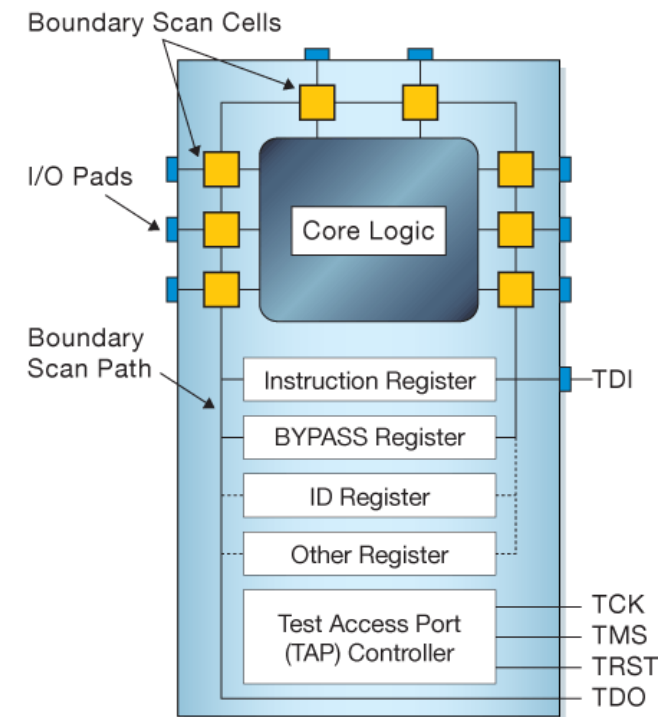
- 基板実装検査・不良解析・デバッグを目的に
- MPU, CPLD, FPGA 等に搭載される機能をソフトウェアで活用する技術

4～5本のJTAG信号接続だけ！

- プローブ接続の課題を解決して、テスト治具を削減

以前は難しくて高価であると評判が良くなかった

- 抽象化技術の採用（XJTAG社によるイノベーション）
- テストを簡単に開発できるようになった



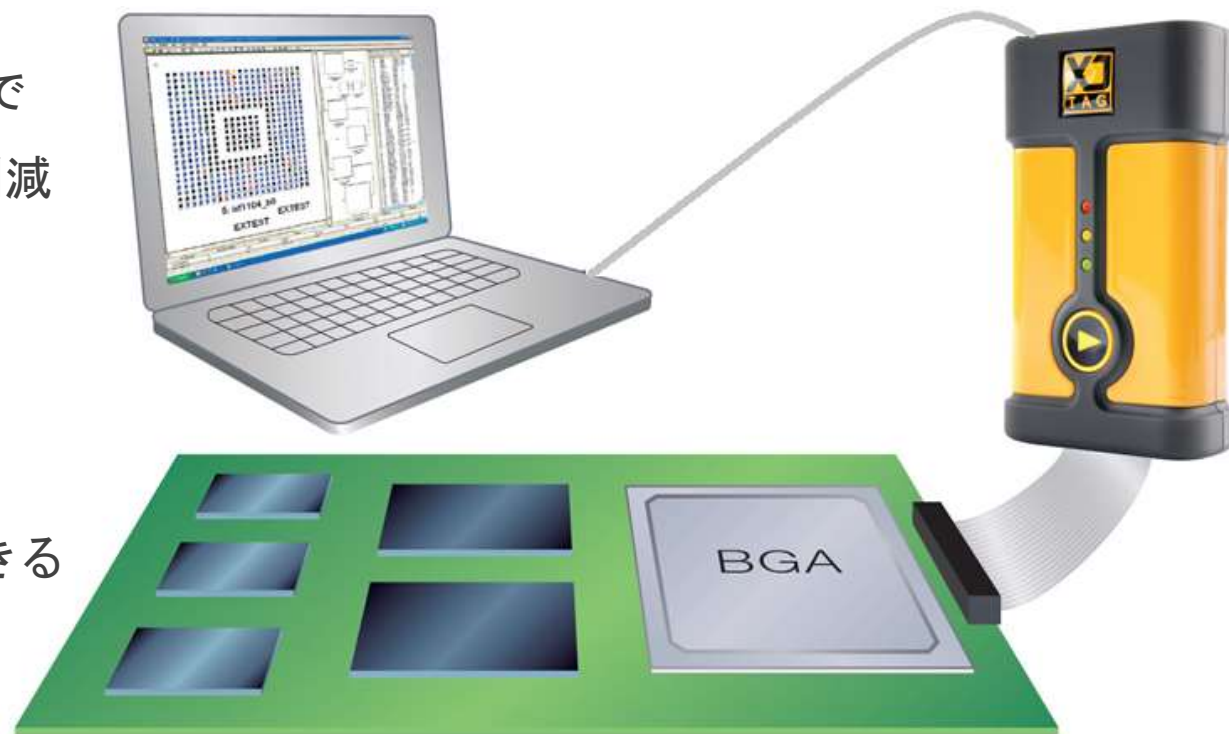
ピンとデバイス内部ロジックの間に配置されたJTAGセルを介して、物理的なアクセス無しに、各ピンの値を制御（読書き）する

基板実装密度の影響を受けない

- JTAG信号接続（4～5本）だけでテストできるので
テストポイント数とそれに掛かる費用を飛躍的に削減

JTAG 未対応デバイスにも対応

- JTAGデバイスから各種デバイスを制御できる
- DDRなどのBGAデバイス実装も電氣的にテストできる
- ファンクショナルテストに比較して
低コストで速く、高い診断能力



電源投入状態で実装検査ができる

- 一般にフライングプローブやICTではできない

ターゲットのファームウェアを使用しない

- JTAGデバイスの信号線をツールから直接制御
- ファームウェア無しにハードウェアデバッグを行える

JTAG信号を高速に制御

- 10MHz 以上



“XJTAG バウンダリスキャンテストを用いれば、ターゲットで実行するソフトウェア無しにハードウェアのデバッグが行えます。お陰で、新しいボードが動かない時にHWかSWのどちらの問題か？といった議論が回避できました”

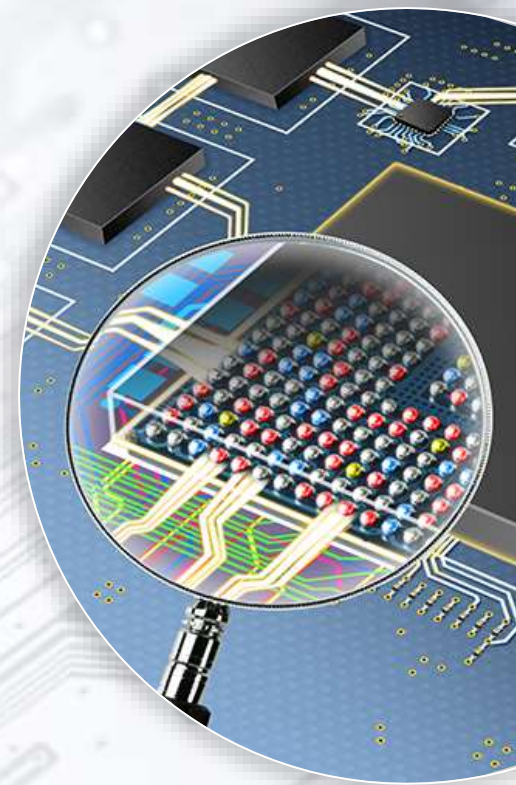
Jeff Smith, Hardware Engineer – Westinghouse Rail Systems

JTAG信号接続（4～5本）

- 信号品位も考慮する
 - Flashメモリ等へのプログラミング速度を高めるため
 - テストの実行時間や安定性にも関わる
- デバイスによってはJTAGバウンダリスキャンテストモードに切り替える工夫

設計段階で考慮することが望ましい

- レイアウトや設計にJTAGテストのカバレッジや速度が依存する



実はよくある**残念な事例**

- Flashメモリへの高速プログラミングをFPGAのJTAG経由でできるのに、JTAG信号への終端が無くて性能が出ない（2 Mbps）。接続ケーブルを工夫して、基板上と変わらないレベルで終端させることで性能（25Mbps）を出せたが、多くの時間を費やした。
- BGA実装されるJTAGデバイスのJTAG信号が配線されていないために、多くの領域がテストできない。
- 信号品質は重要なのに、JTAGテスト時のクロック速度（10～20MHz）が考慮されないことや、JTAGコネクタのGNDが正しく処理されていないことも多く、せっかくのツールを生かせない。
- JTAGモードに切り替えるための信号線が、制御できないように実装されてしまっていることも多い。

予防・対策 => XJTAG® DFT Assistant for OrCAD® Capture

CDN LIVESM

Cadence User Conference 2017

connect
share
inspire

cadence[®]



XJTAG[®] DFT Assistant for OrCAD[®] Capture

➤ XJTAG Chain Checker :

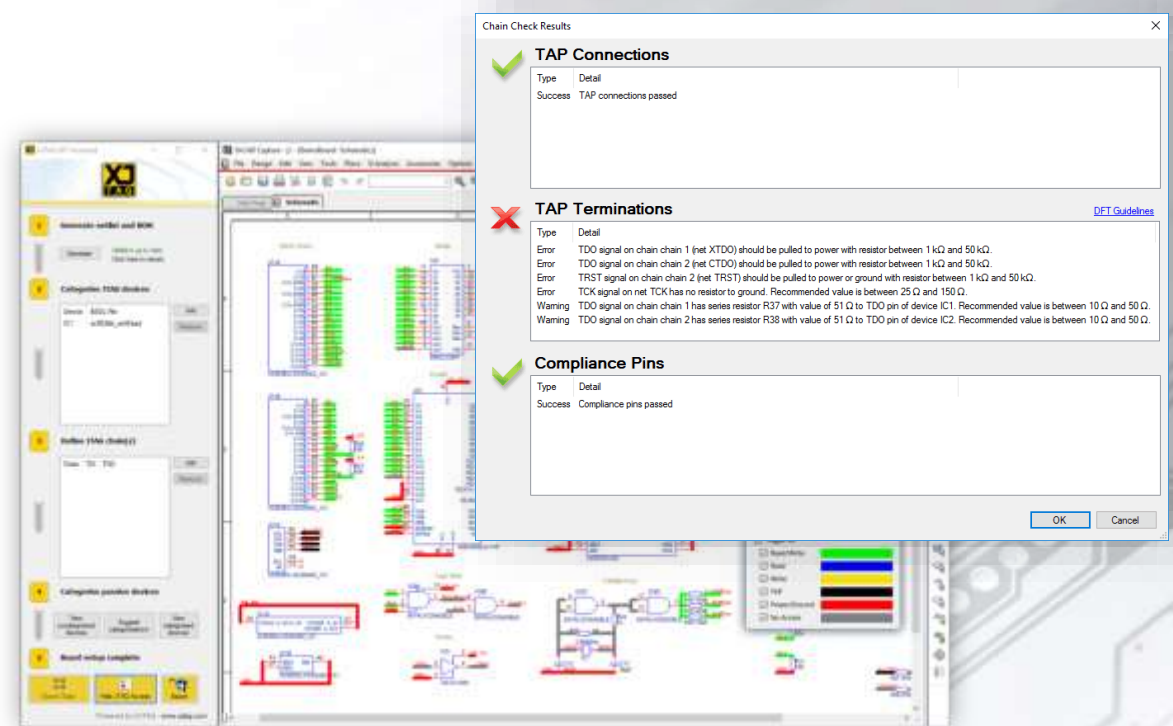
JTAG テストのための設計を評価

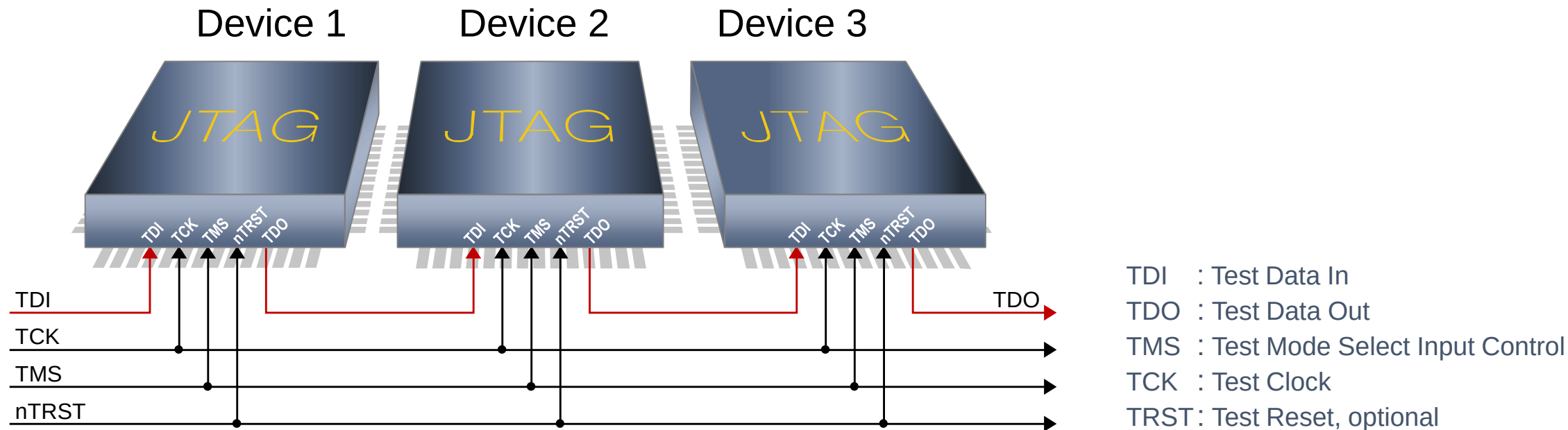
- JTAG信号接続
- JTAG信号線の終端
- JTAG信号線の状態

➤ XJTAG Access Viewer :

テストカバレッジを視覚化

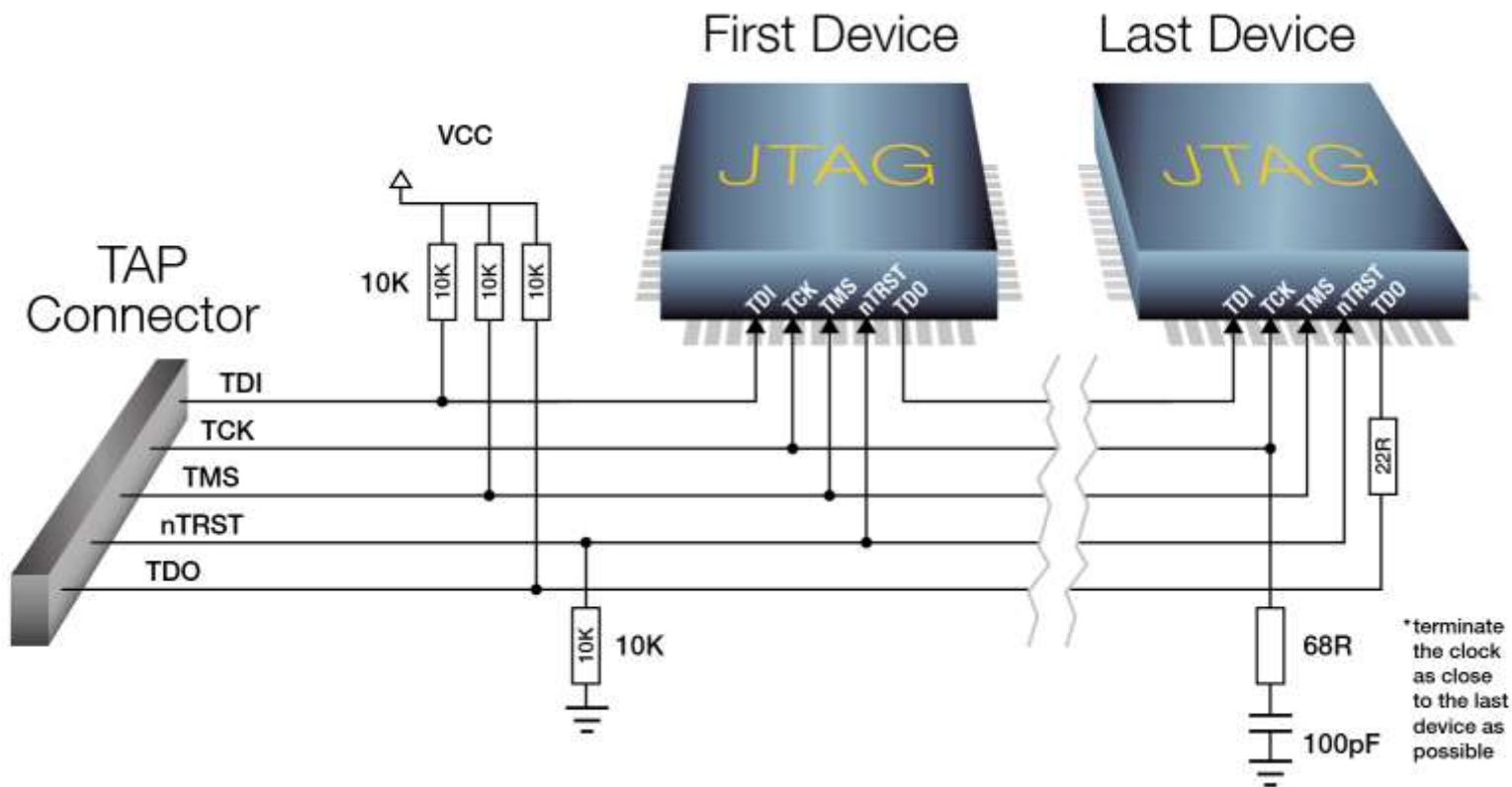
- OrCAD Captureの回路図上にJTAGでアクセスできる範囲を分類
- 設計変更による影響を即座に評価できる





複数の JTAG デバイスは連結することでカバレージを最大化できる

➤ ただし何処かにエラーがあると全てに影響してしまうので注意が必要



JTAG信号の終端を評価：バウンダリスキャンテストの速度と安定性を担保

Chain Check Results


TAP Connections

Type	Detail
Success	TAP connections passed

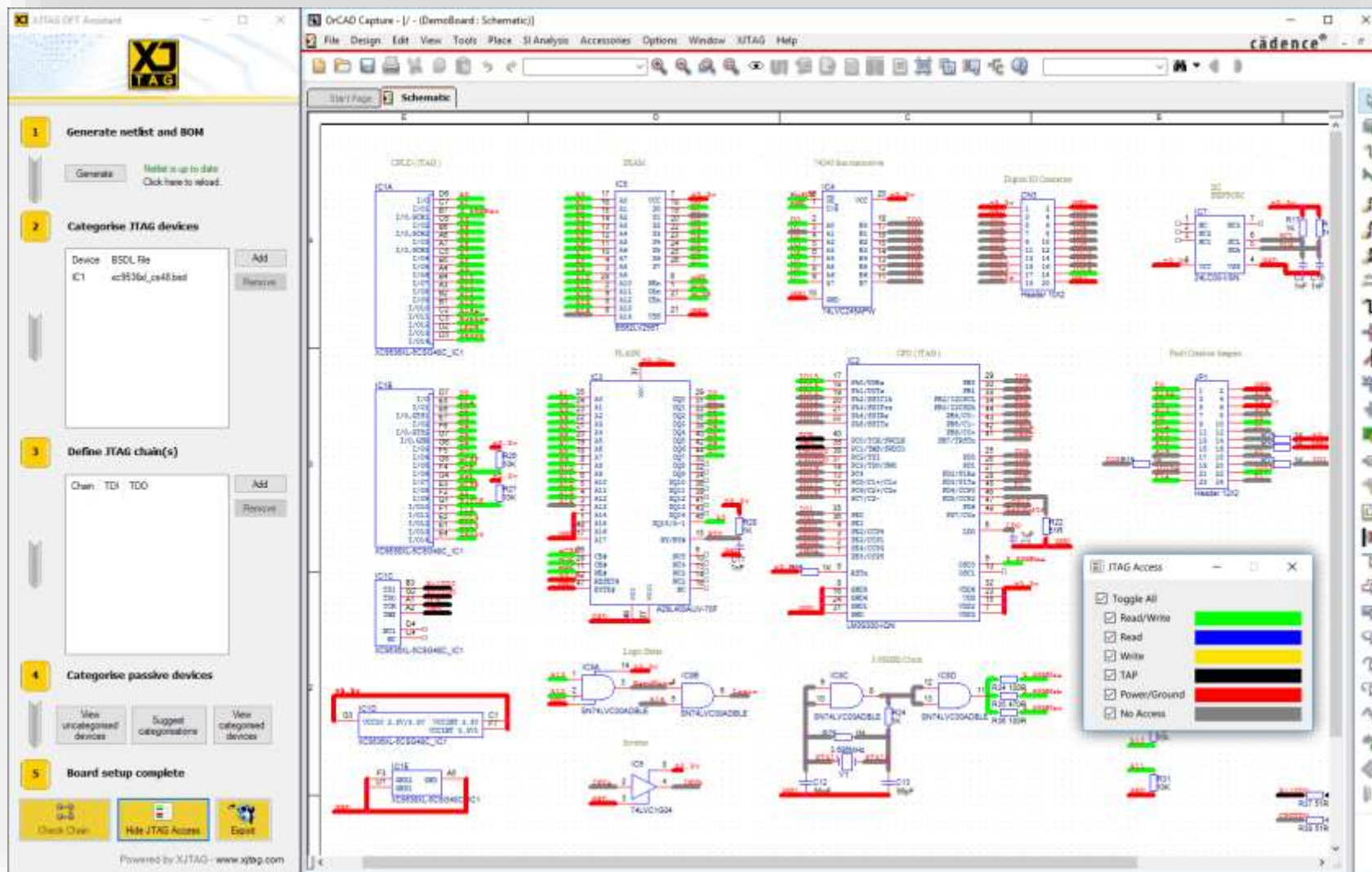

TAP Terminations
[DFT Guidelines](#)

Type	Detail
Error	TDO signal on chain chain 1 (net XTDO) should be pulled to power with resistor between 1 k Ω and 50 k Ω .
Error	TDO signal on chain chain 2 (net CTDO) should be pulled to power with resistor between 1 k Ω and 50 k Ω .
Error	TRST signal on chain chain 2 (net TRST) should be pulled to power or ground with resistor between 1 k Ω and 50 k Ω .
Error	TCK signal on net TCK has no resistor to ground. Recommended value is between 25 Ω and 150 Ω .
Warning	TDO signal on chain chain 1 has series resistor R37 with value of 51 Ω to TDO pin of device IC1. Recommended value is between 10 Ω and 50 Ω .
Warning	TDO signal on chain chain 2 has series resistor R38 with value of 51 Ω to TDO pin of device IC2. Recommended value is between 10 Ω and 50 Ω .


Compliance Pins

Type	Detail
Success	Compliance pins passed

OK
Cancel



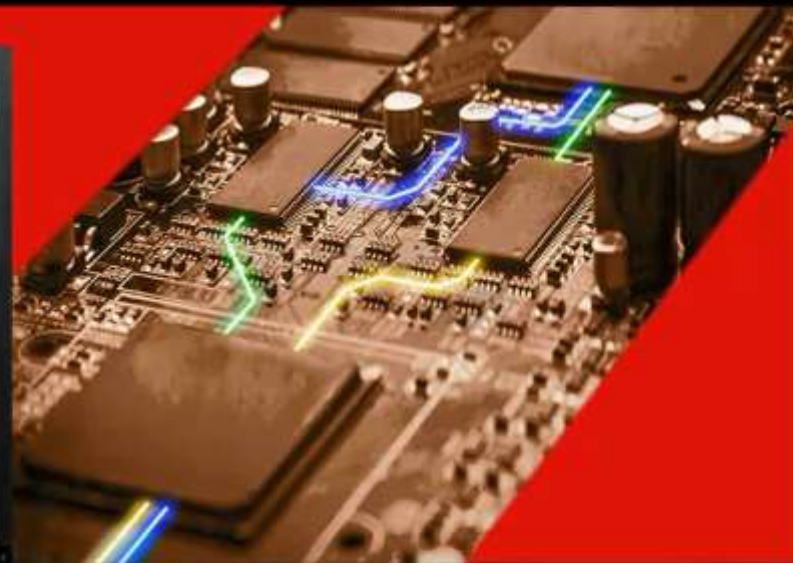
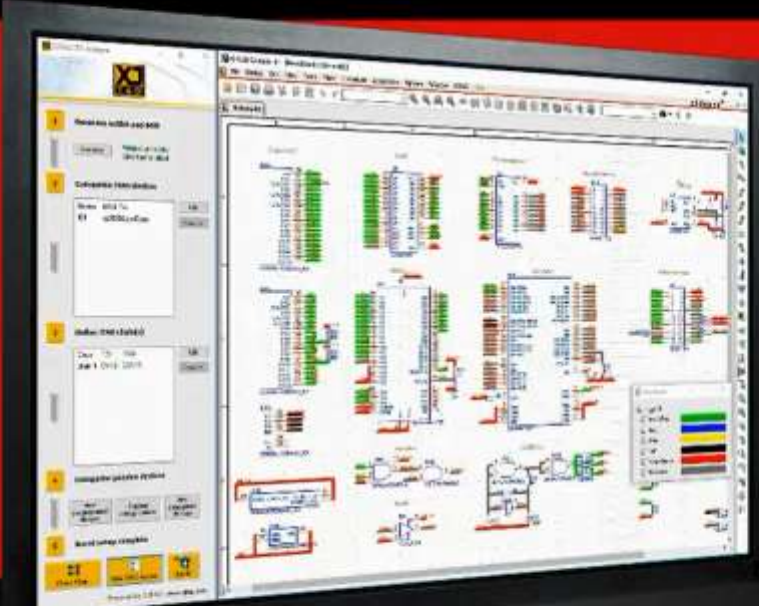
OrCAD Capture
の回路図上に
テスト範囲を
色分けして分類



動画デモ

CDN LIVESM

 **XJTAG DFT Assistant** for **OrCAD® Capture**



cadence®

JTAGバウンダリスキャンテストの容易化設計を支援する無償プラグイン

https://www.fuji-setsu.co.jp/demo/OrCAD_Capture.wmv

 **FUJI SETSUBI**

Kishore Karnane 氏 (Product management director, PCB Group):

「PCBは、ますます高密度実装されるようになってきており、Ball Grid Array (BGA) など、パッケージ下のピンにアクセスすることは実質的に不可能です。バウンダリスキャンにより、JTAGを介してPCB上に統合された各コンポーネントに電氣的にアクセスすることはできますが、JTAGスキャンチェーン自体のあらゆる問題を早期に修正することも必要不可欠です。XJTAG DFT Assistantによって、回路図入力中にJTAGスキャンチェーンが正しく接続され、終端されているかどうかを設計プロセスの早期に判断することができるようになります。」

Urs Allemann氏 (director of design services) :

「我々は、最小限のテストポイントでテスト範囲をどのように最大化するか、設計段階の早期に判断する必要があります。そのために回路図入力段階でどのJTAGが利用可能なのかを見分けることが不可欠です。OrCAD Captureに組み込まれたXJTAG DFT Assistantによって、設計の進捗に応じてテスト範囲を見分けることが容易になりました。我々は、この機能によって、PCBの製造前にテスト構造を最適化できるようになります。」



無料で使えます！

CDN LIVESM

Step1: XJTAG DFT Assistant for OrCAD Capture をダウンロード

<http://www.innotech.co.jp/orcad/xjtag-orcad/>

Step2: JTAGバウンダリスキャンテストのための設計を評価

Step3: JTAGテスト容易化設計ガイドラインを参考に設計を改善

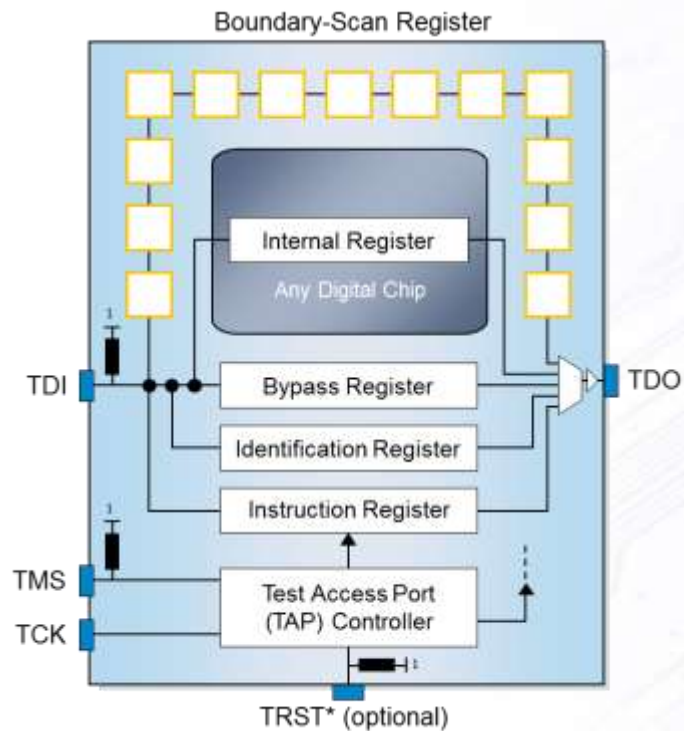
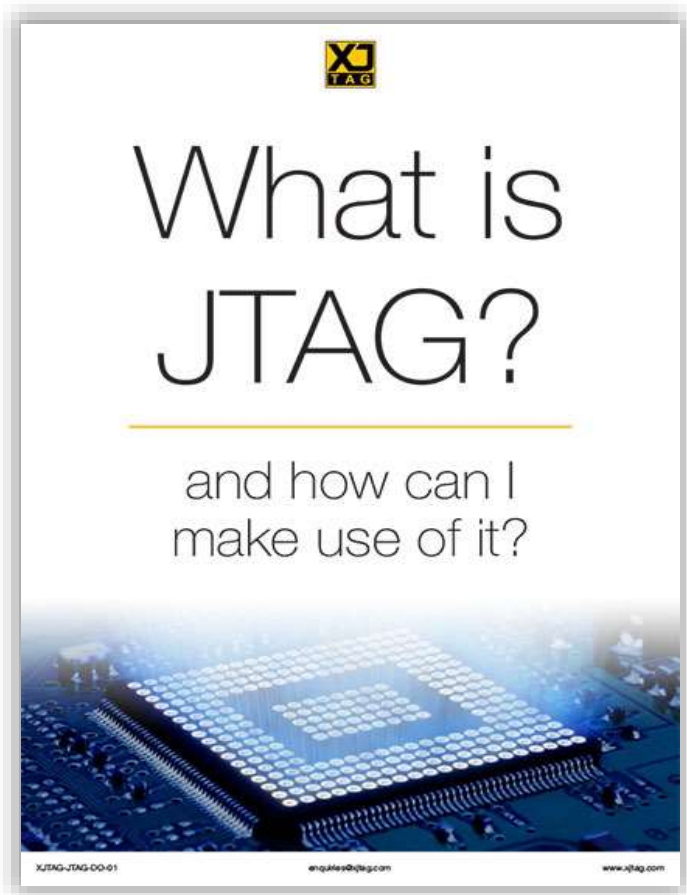
<https://www.fuji-setsu.co.jp/products/XJTAG/JTAG.html#DFT>

<https://www.xjtag.com/about-jtag/design-for-test-guidelines/>



 **FUJI SETSUBI**

cadence



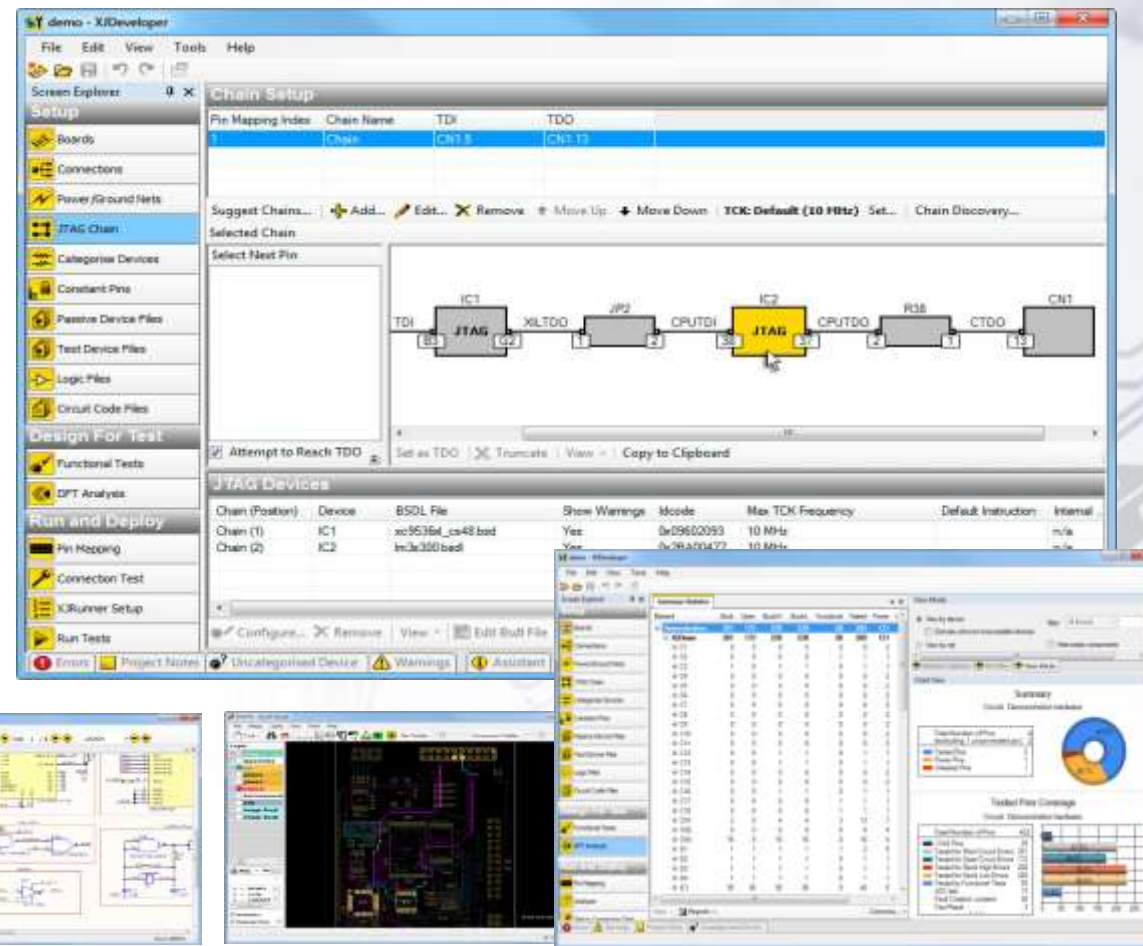
<https://www.fuji-setsu.co.jp/products/XJTAG/JTAG.html>



XJTAG バウンダリスキャンテストタ

C D N LIVESM

- ・ DFT Assistant for OrCAD Capture の成果物は、XJTAGのテストプログラム開発に再利用できる
- ・ XJTAG はデバイスごとのテストライブラリでテスト開発が簡単にできる
- ・ 無償評価版や無償セットアップを用意しています



富士設備工業株式会社 電子機器事業部 <https://www.fuji-setsu.co.jp>

 **FUJI SETSUBI**

 **cadence**



CDN LIVESM

Cadence User Conference 2017

cādence[®]