



Design For Testability Guidelines 日本語版

Version 3.0

www.xjtag.com

enquiries@xjtag.com | +44 (0) 1954 213888
XJTAG | The Irwin Centre | Scotland Road
Dry Drayton | Cambridge | CB23 8AR | UK

はじめに

以下 DFT ガイドラインは、XJTAG を用いて基板のテスト容易性を向上させるための提案です。これらガイドラインは、ルールと言ったわけでは有りません。得られる効果は、他の要素（機能性、デバイスのコスト、基板面積など）と合わせて考慮させるべきでしょう。

この資料の内容を理解する為には、IEEE standard 1149.1-1990、1993、1994 に対する多少の理解・知識が必要です。この資料を通して、1149.1 は、IEEE 1149.1 (JTAG) Boundary Scan standard のことを意味しています。

➤ 1149.1 準拠のデバイスを指定し、採用する

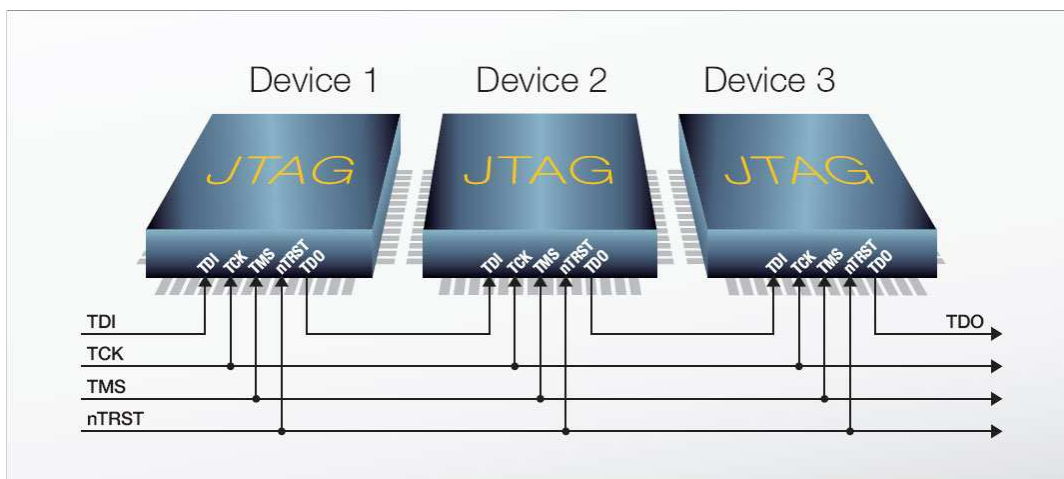
XJTAG を用いて準拠していないデバイスのテストもできますが、可能な限りは 1149.1 準拠のデバイスを選択することで、より高いテストのカバレッジを得ることができます。基板上に 1149.1 準拠のデバイスが多ければ多いほど、より多くのノードが全面的に実行され、テストされるようになります。

➤ 1149.1 準拠のデバイス用 BSDL ファイルを確認する

1149.1 準拠には、BSDL ファイル(Boundary Scan Description Language)が必要です。これには、準拠しているデバイスごとのインターフェイスが記述されています。このファイルが入手可能であること（通常は、デバイスメーカーの Web サイトから入手可能）、そしてこのファイルが検証済みであることを確認しましょう。（XJTAG 開発システムには、BSDL のシンタックス・チェック機能といった、欠かすことのできない機能が搭載されています）

➤ 1149.1 チェインが正しく設計され、配線されていることを確認

基盤の設計に、必要となる 1149.1 TAP 信号が含まれていること、正しく配線されていること、を確認しましょう。望ましくは、TAP 信号は他のアクティブな信号から離すこと、GND や電源信号から切り離すこと。そうすることで、TAP 信号上のショートが容易に検出できるようになります。適切な TAP コネクタを用意して、必要となる信号線にアクセスできるようにすること。そして重要なのは、システムのデフォルトのパワーアップ・モードで、1149.1 準拠デバイスのチェーンに電源を供給し、準拠したモードに入るようにすることです。



➤ TAP 信号間のスキューを低く抑える

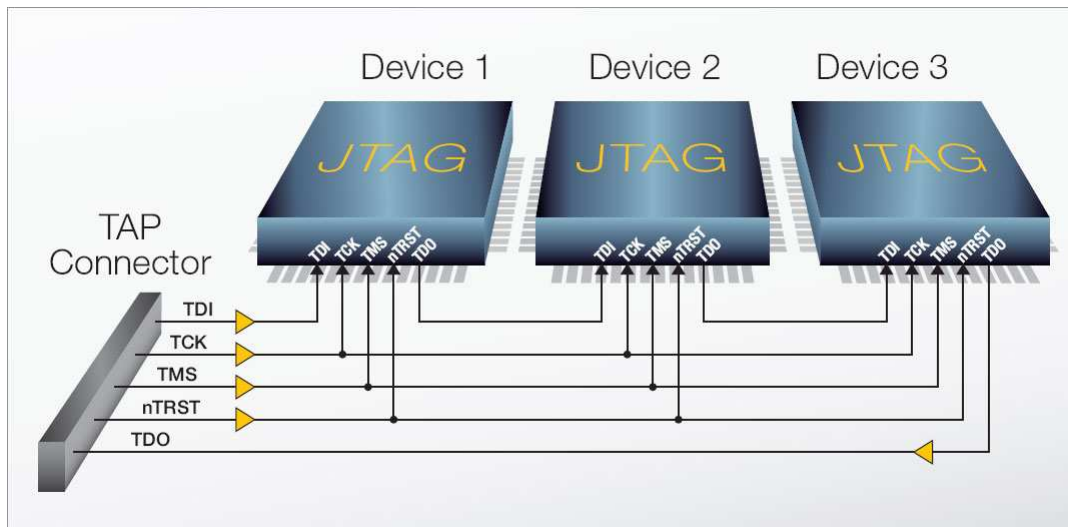
正しい動作を実現させるには、TAP 信号間のスキューが、低く抑えられていることが重要です。とりわけ、TCK と TMS 間。それゆえ、配線長、バッファの遅延は、可能な限り同じに保ちましょう。

➤ 全 TAP 信号に正しい終端を

ボードに入力される TCK は、68R のシリーズ抵抗と 100pF のキャパシターを、グラウンドに対してシリーズに用いて、終端される必要があります。TDI, TMS は、電源ラインに対して 10K の抵抗でプルアップします。TDO には、電源ラインに対して 10K の抵抗でプルして、22R のシリーズ抵抗をチェーンの最終デバイスの近くに配置します。またフローティング（入力が不安定になること）を防ぐ為に、nTRST ラインにプルダウンレジスタを追加されることをお勧めします。（この値は次の要素に注意して選択。ドライバーの強さ。および、nTRST に対する 1149.1 準拠デバイスから提供されるプルアップの強さ）

➤ TAP 信号に対するバッファ

可能ならば、初段の TAP 信号へのバッファは、ノイズの削減、インピーダンスのミスマッチの回避、さらにファン・アウトの向上が見込まれます。TCK, TDI, TMS, nTRST に対しては、ボードの入口、TDO に対しては出口に。信号を完全にするために、4~6 ごとの 1149.1 準拠デバイスの後ろの信号をバッファすることは賢明ですが、信号間のスキューを低く抑えることも忘れないようにしましょう。



➤ 1149.1 準拠したデバイスのスペア・ピンを使用する

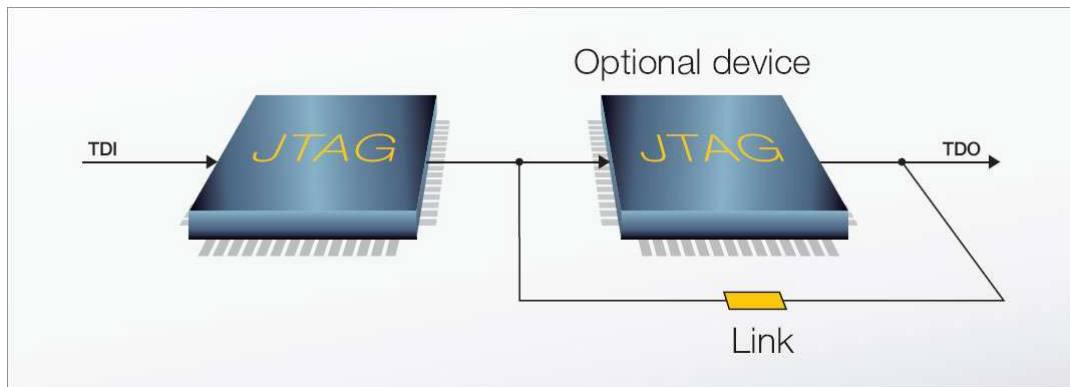
1149.1 準拠デバイスに スペアの I/O ピンがあるならば、アクセスすることが困難な回路上のノードをモニターするために用いましょう（これが、基板の通常動作に影響を与えないことを前提に） モニターすべきノードを注意深く選択することで、テストのカバレッジは飛躍的に向上させることができるでしょう。

➤ 1149.1 準拠デバイスの I/O ピンを使いこなす

1149.1 準拠のデバイスが、準拠していないデバイスの入力をドライブしているなら、準拠したデバイス上の I/O ピンを用いることができるかもしれません。信号を読み返すことで、L あるいは H のスタックのテストが出力ノードで実現できるようになります。

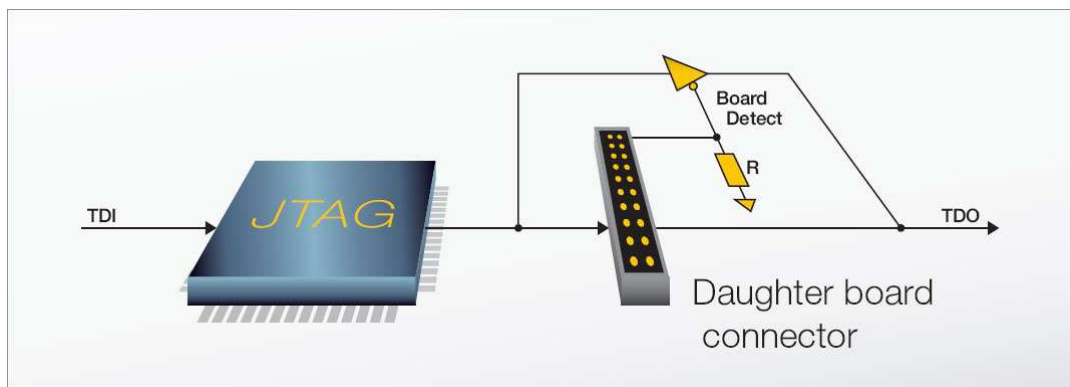
➤ 1149.1 準拠デバイスがオプションで搭載されない場合のバイパス

1149.1 に準拠したデバイスの搭載が、オプションの選択に依存する場合、そのデバイスが搭載されない場合に、TAP データ・チェーンが途切れることのないように（下図の様に）しましょう。



➤ 1149.1 チェインに追加ボードとそれに対する設定を用意

ドータボードを用いているなら、そのドータボード上のデバイスとボードコネクタを介して、1149.1 チェインを作りましょう。ドータボードがオプションなら、搭載されない場合を検知して、TAP データパスをバイパスすることができるようにもしましょう。



➤ ASIC を設計、あるいは採用する場合に 1149.1 を忘れずに

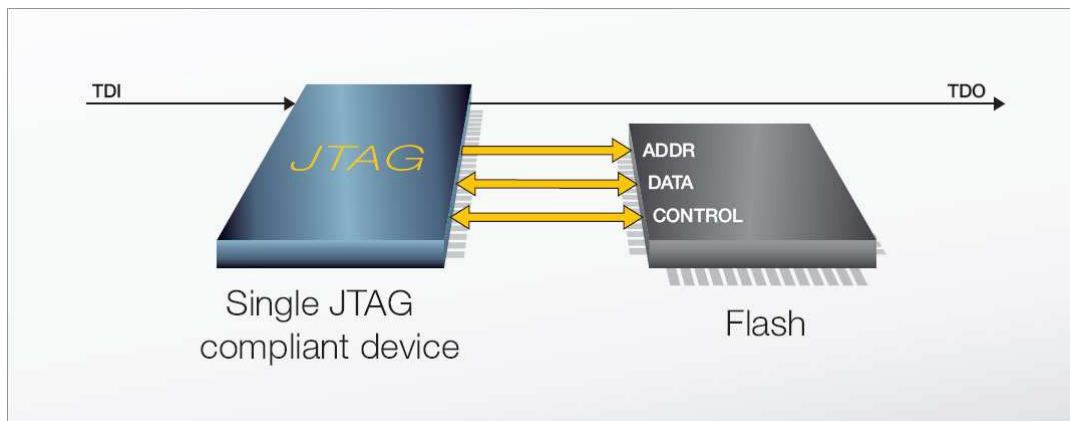
ASIC などのカスタム設計のシリコンを採用する場合には、1149.1 に準拠させることを考えるべきでしょう。

➤ ボードの動作に影響を与えるような制御信号にアクセスできること

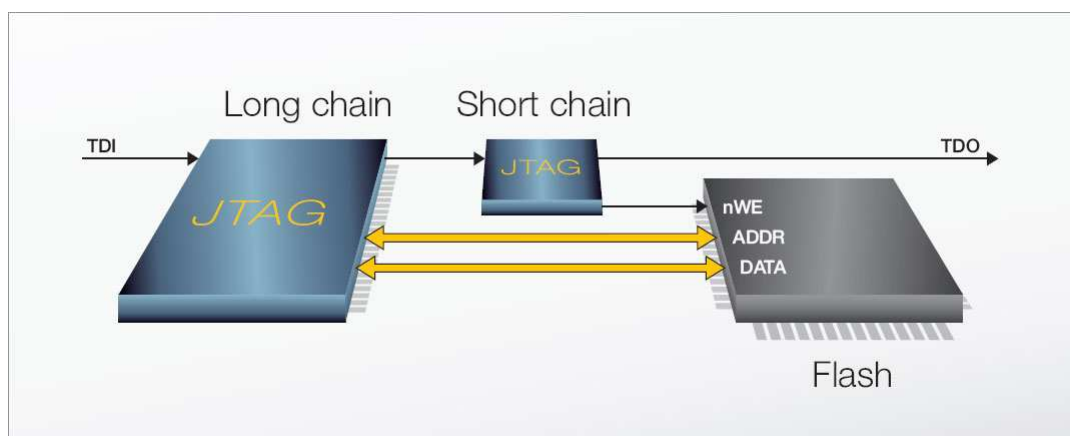
ボードやデバイスの動作に重要な影響を与える制御信号がある場合（reset, power enables, watchdogs, and shutdown signals）、これらが 1149.1 に準拠するデバイスで制御できるようにしましょう。もし、1149.1 に準拠したデバイスが、それに準拠しないモードを持っている場合（FPGA に対するプログラムピンなど）、1149.1 のモード、あるいは全チェーンに影響が出ることを想定しておくべきでしょう。

➤ プログラマブルなデバイスに 1149.1 からアクセスできること

EEPROM/flash/FPGA/CPLD などのシステム内でプログラミングができるデバイスを用いる場合、そしてこれらが 1149.1 のプログラミングインターフェイスを持たないならば、これらデバイスの全ての必要な信号線を、1149.1 に準拠するデバイスでアクセスできるようにしましょう。望ましくは、全ての必要なノードを、一つの 1149.1 に準拠するデバイスからアクセスできること。そうすることで、XJTAG 開発システムは、自動的に全ての他のデバイスを 1149.1 チェイン内に CLAMP モードとして設定し、パフォーマンスを向上させることができます。



場合によって、1149.1 に準拠するデバイスからのショートチェーン（1149.1 でイネーブルされるバッファ）を、頻繁に切り替わる制御回路ノード（Flash 上の nWE ピンなど）に採用することは効果的です。これにより XJTAG 開発システムにとって、アクティブなチェーン長を短くすることになり、これらノードに対するパフォーマンスが向上します。（XJTAG の今後のバージョンでは、これらのノードに対してダイレクトに I/O アクセスできるようになり、更にパフォーマンスの向上が期待されます。この場合、これらノードはテストコネクタに接続するなどアクセスできるようにすることです）

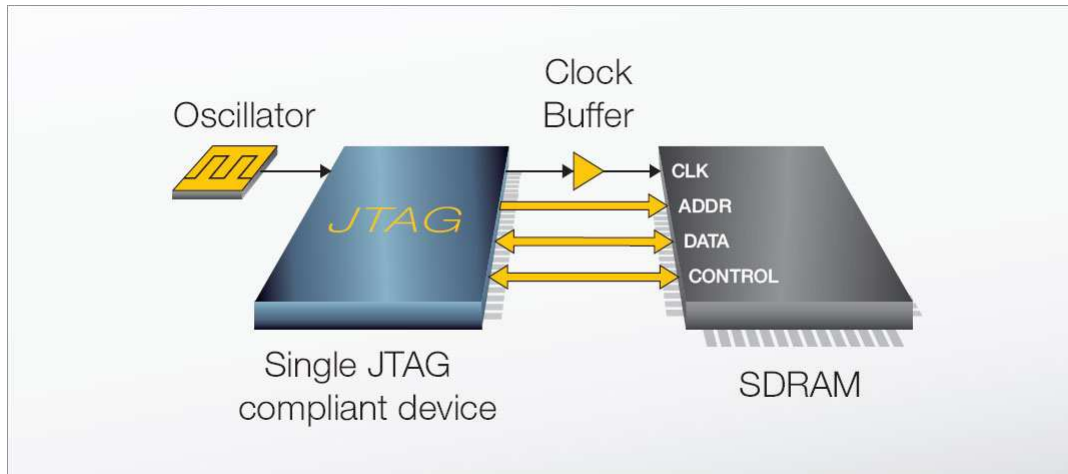


➤ ドライバードバイスの出力イネーブルピンと方向制御ピンを接続

ある信号が複数のソースからドライブされるなら、これらドライバー側が十分に 1149.1 に準拠するデバイスから制御できるようにし、これらドライバーの出力の On/Off ができるようにしましょう。もし、1149.1 に準拠しないバイディレクショナル（双方向）な、バスドライバーがあるなら、その方向も制御できるようにしましょう。

➤ 同期型デバイスのクロックを制御可能にする

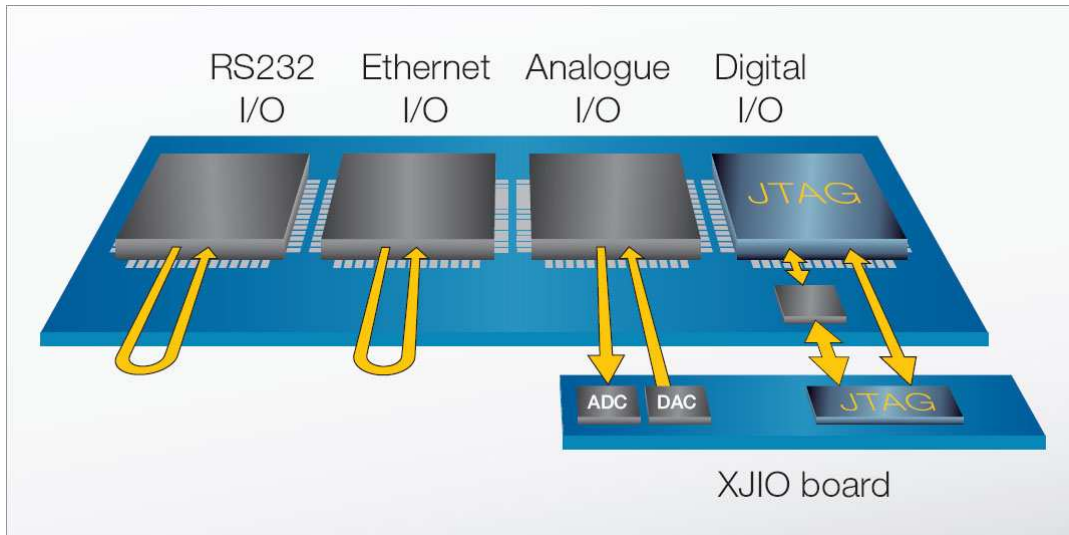
同期型デバイスは、クロックの制御ができるなら XJTAG でテスト可能です。例えば、FPGA に接続される SDRAM は、その SDRAM クロックが 1149.1 に準拠するデバイスから制御できる場合にのみテストが可能です。フリーランニングなクロックが SDRAM に直接繋がっている場合は、XJTAG のテストベクタは、クロックに対してリアルタイムに同期できません。CPLD や FPGA などの 1149.1 に準拠したデバイスを、そのクロックソースと SDRAM のクロックの、バッファの間に介することで、下図の様にテストのカバレッジを最大限に拡張できるでしょう。



➤ I/O インターフェイスを設計する

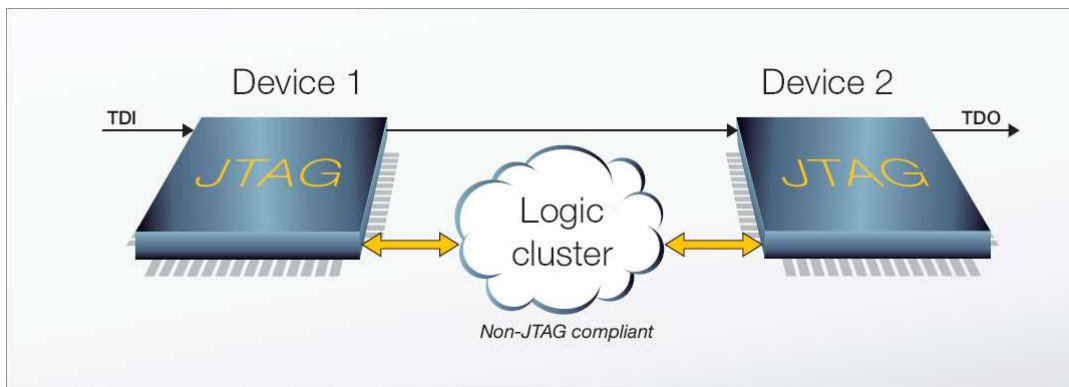
テストのカバレッジは、外部コネクタが 1149.1 でアクセス可能なネットに接続されることで向上します。1149.1 ネット上の多くのコネクタピンに対するテストは 1149.1 でコントロール可能な I/O (XJIO ボードなど) を接続することで、オープンサーキットテストなどの拡張が追加されます。

あるいは、I/Oポートを設計することでループバックテストが可能になります。そうすればボードを接続すること無しに、テストのカバレッジを向上させられます。大抵のインターフェイス(Ethernet, RS232, RS485 など)にはシンプルなループバックコネクタで十分でしょう。しかし、外部テスト回路があれば、TAP チェインでコントロールさせることもできます。



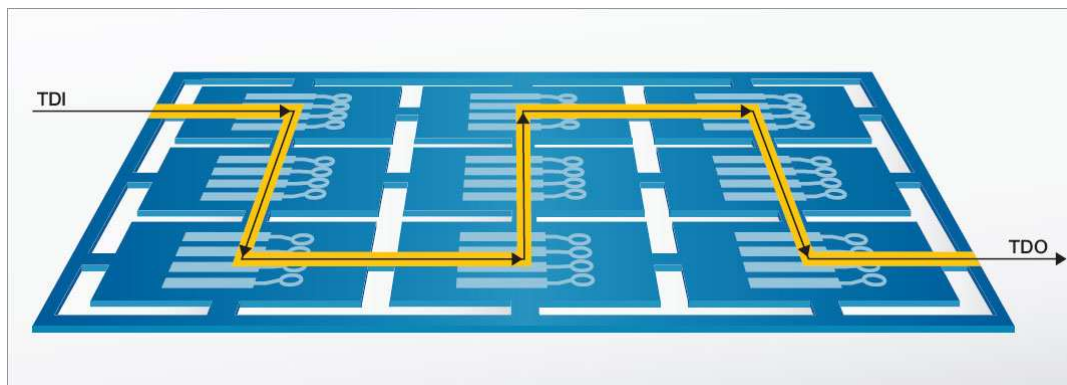
➤ クラスタを 1149.1 に準拠するデバイスで包囲する

1149.1 に準拠しないロジックは、1149.1 準拠したデバイスに取り囲まれるクラスタ内に配置し、全入力の制御、クラスタに対する・クラスタからの出力のモニタ、をできるようにしましょう。クラスタ動作のテストを実現させるために、クラスタのノードへの十分なアクセスができるように。必要なら、追加の 1149.1 に準拠するデバイスにてクラスタのノードへのアクセスを得ましょう。



➤ 単一パネル上の複数基板への考察

複数基板が単一パネル上に構成されている場合、これらが分離される前に、これらに対する同時テストが出来るように、電源、TAP 信号が一貫するような検討をしてみましょう。



➤ ウォッチドッグ動作に対する考察

ウォッチドッグがある場合、テスト中はディスエーブルされるようにしましょう。（望ましくは 1149.1 の制御ピンで。あるいは、link を用いて）ウォッチドッグのイベントがテスト実行中に発生すると、想定できない結果が起りえます。望ましくは、ウォッチドッグは XJTAG を介してのみディスエーブルされることです。ソフトウェアで実現させる場合に、そのソフトの不具合でディスエーブルさせてしまうことを避けるためです。もしくは、タイムアウトの時間を十分に長く取って、テスト実行中にイベントが発生しないようにすることです。

➤ 不揮発性ストレージを構成情報に利用

XJTAG のファイル I/O 機能を用いて、オプション設定、serial numbers, Ethernet MAC addresses などの情報を不揮発性メモリに対して、テストの一環として書き込むことができます。

➤ アナログ回路のテスト

1149.1 ではアナログ回路のテストは明記されていませんが、上手く設計することで多くのテストを実行することができます。方法は、1149.1 準拠のデバイスの出力でコンパレータやアンプの入力値を設定し、それらの出力を 1149.1 準拠のデバイスに入力させることです。また、追加で低価格な DAC や ADC を用いれば、アナログクラスターを制御したり、モニタすることができるようになるでしょう。僅かながらでも適切な回路上の追加により、多くのアナログテストが実行できるようになります。

➤ プログラマブルデバイスの I/O を用いる場合の注意点

例えば、FPGA の I/O パッドに搭載されている外部ロジックを動作させる為のプログラマブルな、プルアップを使わないほうが良いでしょう。もし I2C バス上のプルアップが、それらのようにプログラマ

プルであると、I2C バス上に接続される全てのデバイスは、XJTAG でテストできなくなるでしょう。どうしても必要なら、I2C バスピンを外部コネクタでアクセスできるようにすることで、テスト時に外部からプルアップを追加できるでしょう。あるいは、I2C バスが SDRAM アクセスに用いられているならば、テスト用のモジュールを追加のレジスタと合わせて取り付けることが必要でしょう。

➤ インテリジェントなデバイス、XJTAG の機能をフルに活用する

標準的な 1149.1 の機能ではテストできない、あるいはリアルタイムのテスト実行が必要、と言った場合は、XJTAG の革新的な XJEase を用いてボード上の機能 IC を活用することができます。例えば、オンボード上の Flash メモリや CPLD デバイスに小さなプログラムをダウンロードし、CPLD や MPU のリアルタイムテスト実行や設定を行えるようになります。

Glossary

ASIC	Application Specific Integrated Circuit
BSDL	Boundary Scan Description Language
DFT	Design for Testability
IEEE	1149.1 IEEE Standard 1149.1-1990 “Test Access Port and Boundary Scan Architecture” (see www.ieee.org)
I/O	Input / Output
JTAG	Joint Test Action Group
NTRST	Test Reset (Active low TAP Signal)
TAP	Test Access Port
TCK	Test Clock (TAP Signal)
TDI	Test Data Input (TAP signal)
TDO	Test Data Output (TAP Signal)
TMS	Test Mode Select (TAP Signal)
XJTAG	A suite of tools aiding the development and test of electronic systems

Authorised Distributor:



富士設備工業株式会社 電子機器事業部
〒591-8025 大阪府堺市北区長曾根町1928-1
Tel: 072-252-2128 www.fuji-setsu.co.jp