



要求仕様モデル(T-VEC TTM)、Simulink®/ Stateflow®対応 モデル検証、テストベクタ自動生成・実行・結果判定ツール

ソフトウェアの規模や複雑さが増す一方、開発の40~70%を占める検証やテストの多くの作業は、人手に頼ったままです。システム全体に潜む問題への取り組みは、非効率的な、担当者の経験と判断に頼ったものとなっています。そのため高信頼性・安全性が求められる産業界では、航空機のDO-178Bや、IEC61508、ISO26262などガイドラインを介して、体系的な開発プロセスの実施、検証と証明を要求するようになってきています。

T-VEC

T-VECはフォーマルメソッドを用い、高信頼性・安全性ソフトウェアのVerification&Validationを体系的にサポートするために開発された、モデルベース検証ツールです。手作業に頼った検証、テストを体系的に自動化し、開発期間や保守費用、タイムtoマーケットを削減し、製品の品質を向上します。

英国防省(MoD)に採用を推奨され、航空宇宙、医用、通信、データベースの機能安全、US NISTのスマートカードシステムなど、幅広いアプリケーション領域で採用されている実践的な、検証ツールです。T-VECツールのコアは1980年代後半に開発され、FAAで求められる要求仕様ベースのテストで、コードレベルのMCDCカバレレッジを達成することが証明され、DO178-Bの認証取得にも役立てられています。またT-VECのメンバーは、現在DO178-Cのモデルベース開発に於けるVerification&Validationサブグループに直接関わっています。

T-VECは、以下の機能で構成されます。

- ・T-VEC Vector Generation System(VGS)
- ・T-VEC Tabular Modeler (TTM)
- ・Simulink Tester(SL2TVEC)

T-VEC VGS テストベクタ生成システム

T-VEC VGSは、モデル検査、テストベクタ自動生成・実行・結果判定を統合的に提供します。T-VEC TTMモデル、Simulink/Stateflowの階層中の全パスを抽出し、それらパスの境界を実行するテストベクタを生成します。テストベクタが生成出来ないパス(入力と期待値の組合せが無い)は、モデル上の欠陥・矛盾として検出され、関連するモデル要素にハイパーリンクし特定されます。

このテストベクタ生成機能は、フロート・ダブルなど各種データ型、リニア・ノンリニア式に対応し、実際のターゲット環境での実行を通して、モデルとコードの一致性の検証が行われ、要件~デザイン~テストへの完全なトレーサビリティを取ることができます。

RAVE™ TTM 要件を表形式でモデル化

ソフトウェアの品質は、一貫した正確な要求仕様に依存します。半分を超える欠陥の原因は、曖昧で不十分な要求仕様であり、結果、繰返し作業とスケジュール超過に多くのコストを費やしています。RAVE™ T-VEC Tabular Modeler (TTM)は、欠陥の無い要求仕様を開発するために、要求仕様を表形式のGUIを用いてフォーマルにモデル化するフロントエンドツールです。この要求モデルをT-VEC VGSでモデル検証し、要件に基づいたテストベクタを生成し、それらの実行・結果判定をあらゆるターゲットに対して行える、テストドライバを生成します。

Simulink Tester

SimulinkモデルをT-VEC VGSでモデル検証し、デザインモデルに基づいたテストベクタを生成します。また、システムの動的検証は、テストシーケンスベクタでサポートされます。Real-time Workshop GRTやERTによって生成されたコードに対して、それらテストベクタの実行・結果判定をあらゆるターゲットに対して行える、テストドライバを生成します。

- ・Simulink/Stateflowから包括的なテストを生成
- ・テストベクタとして期待値も生成
- ・ソースコードとモデルの一致性の評価
- ・ターゲット実行用テストドライバ生成
- ・動的システムに対するテストシーケンス
- ・モデル上の欠陥を発見
- ・アサーションによるセーフティプロパティの検証
- ・モデル実証の為のシミュレーションデータ
- ・要求モデル、Simulinkを一貫してサポート
- ・要件~デザイン~テストへのトレーサビリティ
- ・モデルレベルカバレレッジ測定とステータスレポート



