

# JTAG バウンダリスキャンテストの 革新的ソフトウェア技術 設計・解析・デバッグ・テストへの活用

XJTAG 社 / Geoff Harvey、富士設備工業 (株) / 杉本 明加

## 1 はじめに

JTAG バウンダリスキャンテストはソフトウェアによって JTAG デバイスの信号線をプローブとして操作・観測するため、ソフトウェア技術によって最大限に活かされるが、そのツールは難しく高価であると、近年まで敬遠されてきたふしがある。

しかしながら、高度なソフトウェア技術で JTAG バウンダリスキャンツールに革新をもたらした、XJTAG のテストプログラムは、再利用性に富み、容易に設定できる。またツールのコスト効率も高く、設計・シミュレーション・解析・デバッグ・テストに一貫して活用されて相乗効果を得るといった新たなパラダイムを生んでいる。

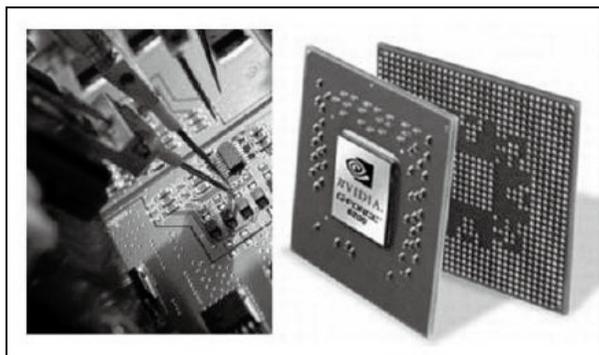


図1 プローブ検査では BGA 接続などを電気的に検査・不良解析できない

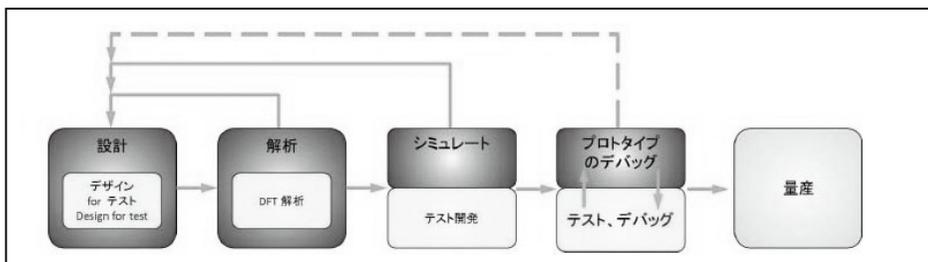


図2 設計とテストの同時進行

『設計開発者は量産テストを開発することで設計工数も削減できる』

『ターゲットで動作するソフトウェアがない状態で検証が行えるので、試作基板が動作しない時にハードかソフトのどちらの問題か?といった議論が回避できる』

『設計側と生産技術部・品質管理部とのコミュニケーションが共通ツールで改善されるので不良解析を効率化できる』

2000年当初に相次いで展開され始めた BGA (Ball Grid Array) や CSP (Chip Scale Package) は、瞬く間に先進的な製品の主要デバイスに採用されるようになった。そして従来式のテスト手法であるプローブ治具 (ネイルベッド治具) やフライングプローブでは、それらデバイス配下のはんだ接続へ物理的にアクセスができないため (図 1)、電気的に評価できる唯一のテスト手法として JTAG バウンダリスキャンテストの採用が加速されている。

JTAG バウンダリスキャンテスト手法は、プローブを物理的にスキャンさせることに比較してソフトウェアの比重が高く、テストの開発工数や設備費用を軽減できる。従来からある高価な ATE ハードウェアだけでは、設計とテストの両エンジニアリングはそれぞれの担当者で実施され、また物が大きいのがゆえに物理的にも分離されてしまうが、JTAG バウンダリスキャンテストなら、物理的にも費用的にもコンパクトで

風通しの良い環境を組織・チーム内で構成できる。設計やテストの専門家を個々に擁するのではなく、同じエンジニアが設計とテストの両側面に取り組むことで得られる顕著な効果は次の通り。

- ①テスト容易設計の確保(DFT:Design for Test)
- ②デバッグ効率の改善
- ③基板改版サイクルの削減
- ④テストカバレッジの向上
- ⑤不良解析の効率化

## 2 設計とテストの同時進行

XJTAG社の高度なソフトウェア技術によってバウンダリスキャンテストツールの容易性や再利用性に革新が起こる以前は、一般に設計側でテスト容易性を意図されることは多くなく、カバレッジ向上を目指した設計の最適化はされてこなかった。そしてテスト担当者は設計済みの基板に対してテストを考慮しなければならない。

設計とテストの双方に恩恵をもたらして、プロジェクトの早期段階から協調開発を後押しするツールスイートのパイオニアとして、XJTAGは今後の標準となる手法の普及を促進している(図2)。

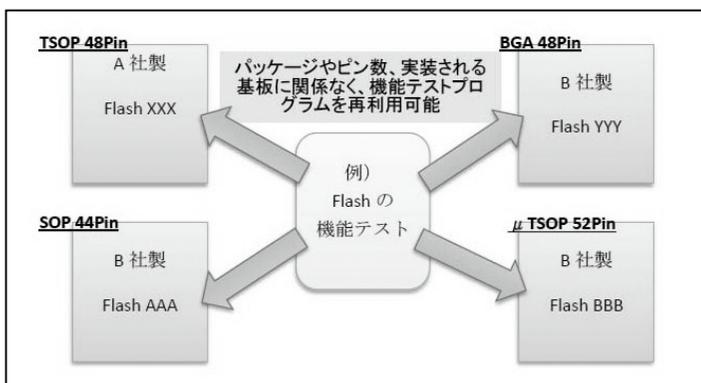


図3 テストライブラリはあらゆる設計で容易に再利用できる

## 3 テストプログラム開発の自動化支援と解析

### 1. テストライブラリの再利用とネットリスト解析機能

XJTAGの中核となるXJEaseは、JTAGバウンダリスキャンテストの専用プログラミング言語である。構文は他的高级プログラミング言語と同様のループ構造や、構文・データタイプチェックなどをもち、容易に習熟することができる。加えてJTAGテストに特化した機能として、無制限幅でビットフィールドを扱うことや、バウンダリスキャン命令を実行することができる。

これまでのATEテストシステムはテストベクタと単純なパス/フェイル判定をベースにしている。そこで使用される1、0からなるテストベクタは抽象度がきわめて低い。マイクロプロセッサの高级プログラミング言語に比較したアセンブラコードと同様に、何らかの変更があるとメンテナンスに多大なオーバーヘッドがかかり、エラーが生じやすい。それゆえ、ある製品向けに作られたテストモジュールを次の製品へ再利用することは、たとえ多くの共通デバイスが採用されたとしても容易でない。

これに対して、XJTAGが世に先駆けて送り出した『デバイスセントリック』なテストなら、デバイスごとに実装されたテストモジュールは、ネットリスト解析機能から得られる情報を外部参照して、あらゆる設計で容易に再利用できる。これにはオブジェクト指向プログラミングや、革新的なソフトウェア技術であるドメイン・スペシフィック言語が活用されている(図3、図4)。

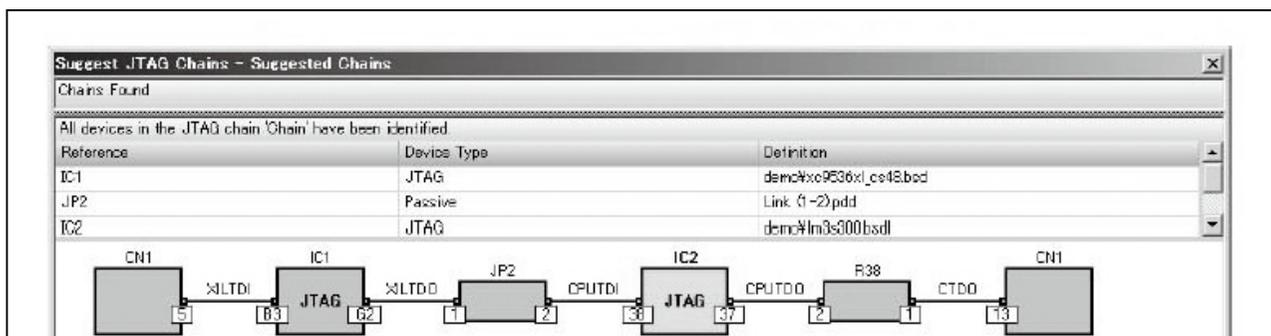


図4 JTAGチェーン設定も自動化支援される

F E A T U R E

XJTAG社は、これらテストのライブラリを無償提供している。

このシンプルかつ洗練されたアイデアはJTAGテストへの革新となり、イノベーションとして、XJTAGを10年足らずで業界の主導的立場に押し上げるようになった。『XJTAGは、より良い手法は共有するべきと考えている』

2.BOM 解析による機能テスト設定自動化

近年、電子システムの製品ライフサイクルは短くなる一方であることから、テストプログラムは容易に、かつ迅速に開発できることが求められる。XJTAGではインテリジェントなテキストベースの検索アルゴリズムによって、BOM (Bill of Materials = 部品表)にあるパーツとデバイスごとのテストライブラリのマッチングを支援する。これにより基板に対する大抵のテストプログラム設定は自動化され、設計やテストの技術者は一部の設定を

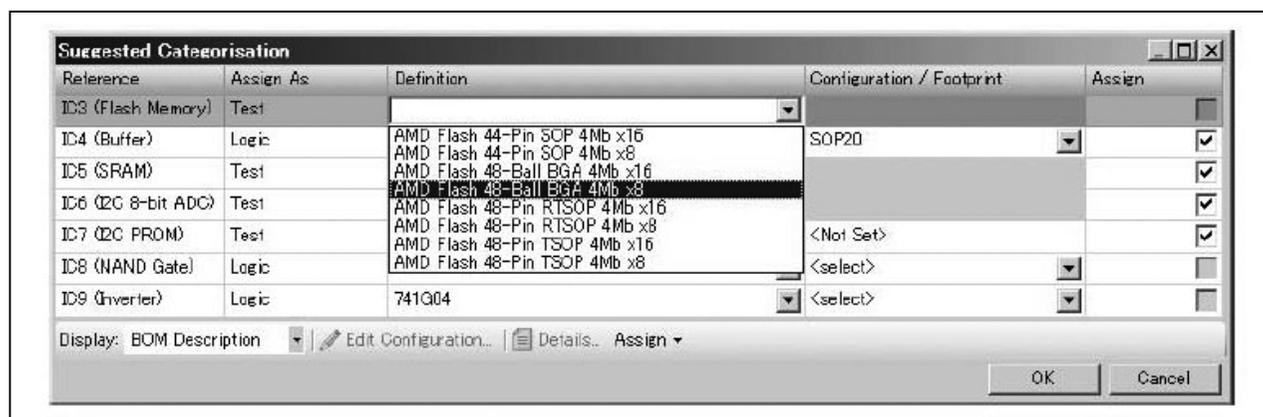


図5 デバイスごとのテストライブラリ設定をBOM解析機能で自動化支援

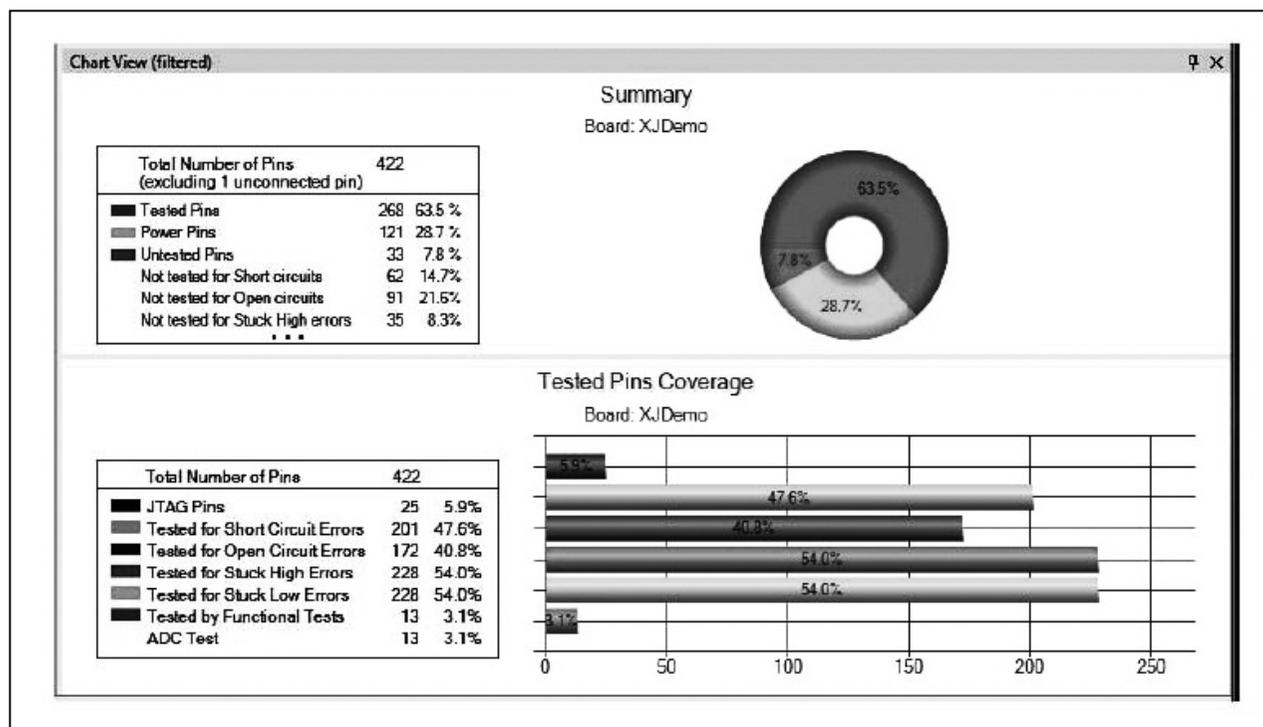


図6 DFT解析によってテストのカバレッジを詳細に検証できる

追加・変更するだけで済む。そして入念に作りこまれた GUI によってテストプログラムの生産性は最大限に効率化される(図5)。

### 3.DFT 解析によるカバレッジから

#### テスト容易な設計へ改善

XJTAG 社が進める設計とテスト開発の協調作業は包括的な生産性向上に寄与する。設計技術者は、DFT (Design for Test) 解析機能を活用することで、従来よりも早期段階からテストを考慮に入れることができる。わずかな設計変更でテスト容易性を大きく改善することもできるし、カバレッジ結果からテストされない箇所を特定することで、後の変更にかかるコストを最小限に抑えることができる(図6)。

### 4. テストのフォーマリズム

テストプログラム実行に影響する設計上のエラーは、クリティカルなエラーであっても設計時には見過ごされることが多い。そのようなエラーを早期に発見できることで基板の改版を削減できることが多くのユーザーから報告されている。またエラーがミッションモード動作に関わるものならばプロトタイプのリバグ時にはチェックできない。

XJTAG には開発エンジニアが使用するシミュレータやモデリングのようなテストの手法とは違った独自のフォーマリズム(ルールや制約)があり、テストプログラムの設定を行うなかで、これを満たす必要がある。結果、有益な追加のチェックが実施される。ただ一つのエラーでも運の悪い場合にプロトタイプ基板は使い物にならないし、少なくとも対処策が見つかるまで基板の立ち上げは遅れてしまう。

JTAG 信号の欠陥は事前に発見できるものの代表例であり、多くの時間と工数の軽減に貢献する。JTAG 信号はプログラミングに使用されることも多く、これに欠陥があってはテストやプログラミングができない。もし JTAG 信号がネットリスト上で間違っていて配線されていると XJTAG のテストプログラム設定ができない。

また XJTAG のテストプログラム設定

時のエラー表示から、プリント配線板のフットプリントとデバイスパッケージが合わないといった致命的な欠陥を検出し、使いものにならない基板が製造されてしまう前に改善できた事例も報告されている。

『設計サイクルの早い段階で詳細を共有して様々なビューで推敲することで、XJTAG は単なるスタンドアローンのテストツールの枠を超えて、テスト項目・内容を事前に計画して視覚化できる包括的な環境を提供し、初版のプロトタイプ基板が上がるまでにテストは準備万端でデバッグを即座に開始できるようになる』。

### 5. ランタイムデバッグ、エラー解析のビジュアル化

XJTAG バウンダリスキャンシステムの Layout Viewer 機能は ODB++ フォーマットに対応し、基板のレイアウト情報があれば、テストネットがネットリスト上だけでなく回路図上で視覚的に確認することができる。この視覚化は製造試験時により大きな効果を発揮する。バウンダリスキャンテストでエラーが検出されれば、それに関わるネットが基板レイアウトや回路図上に視覚表示されるので、テスト担当者は該当箇所を直ちに突き止めることができる(図7)。

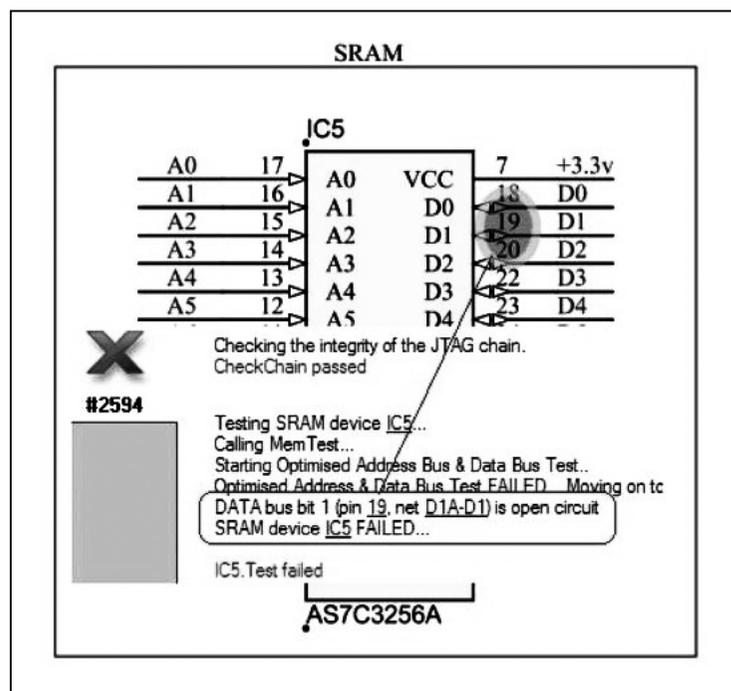


図7 回路図ビューアによるエラー箇所の視覚化

図8の例では、接続テストで検出された二つのネットの短絡が視覚的に特定されている。このレイアウトを見れば、DDRメモリ上の4個所のパッドがもっとも欠陥の可能性が高いことを容易に判断できる。なぜなら、同図右上のBGAデバイス部分では、これらネットのピンが隣り合っていないので可能性は低いからである。そして実際に、基板上において4個所を先に調べることで、IC31 のはんだ不良に問題があることが直ちに判明したのである。

## 4 顧客事例

「BGAデバイス実装個所などは、機能テストだけではテストが十分に網羅されない。ニューヨーク地下鉄車両に搭載される車両用モニタシステム (Monitoring and Diagnostics System) に XJTAG のバウンダリスキャンテストを活用するこ

とで、よりよいテストのカバレッジを少ないコストで得ることができている」(コイト電工(株) 鉄道技術部 登立氏)

「XJTAGによりテスト開発の工数が飛躍的に削減できて、ハードウェアができあがってくる前に効率の良いテストを用意できている。そしてXJTAGによるテストは、最新基板の電源動作確認後、直に行えるようになり、製造上の大部分の欠陥に対して、通常10分程度でテストをできるようになった」(イメージーションテクノロジーズ社 Graham Deacon氏)

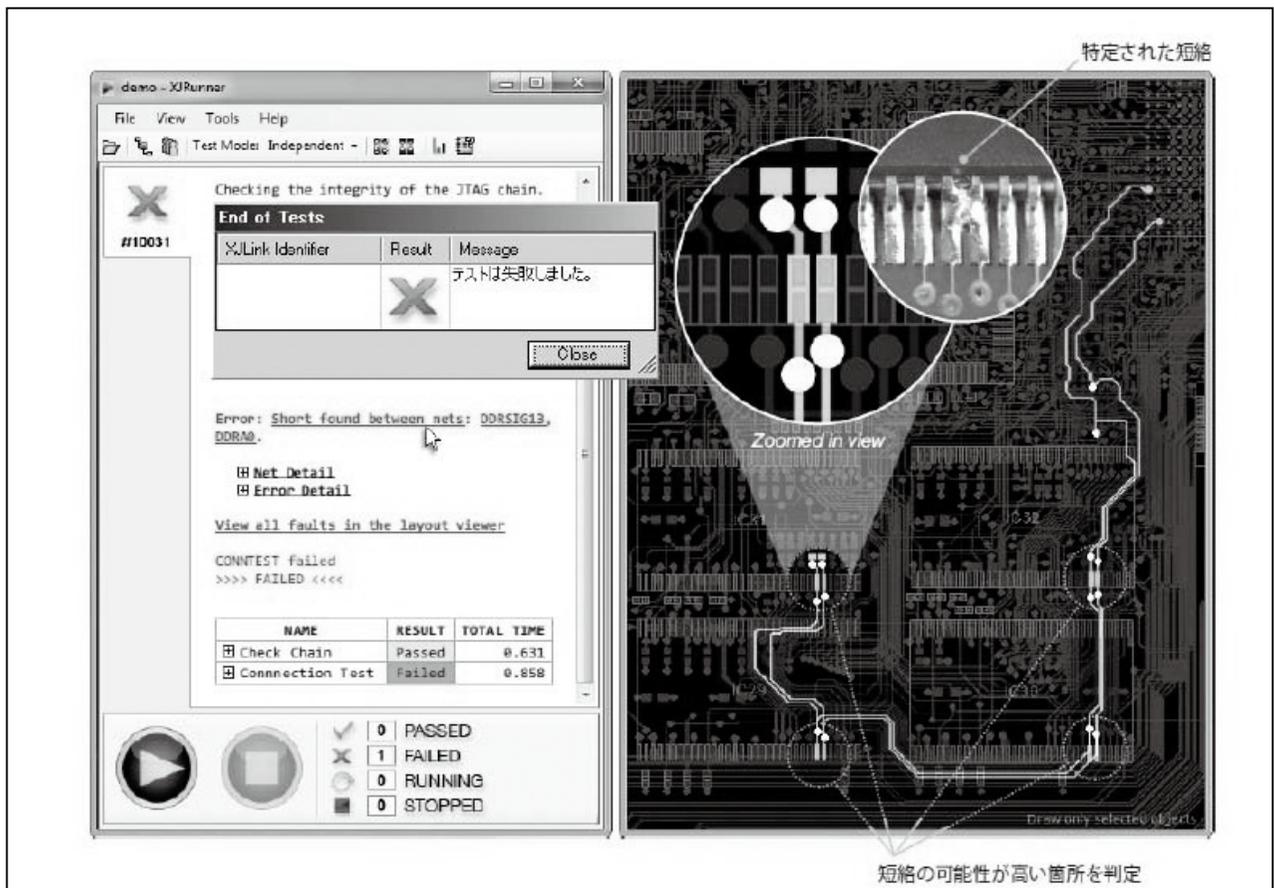
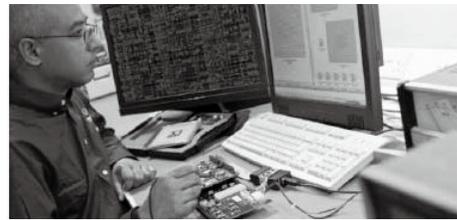


図8 レイアウトビューアによるエラー個所の視覚化

## 5 バウンダリスキャンテストについて

バウンダリスキャンテストはマイクロコントローラやFPGAなどのデバイス内に組み込まれた専用のテスト回路を活用する。各デバイスはテストアクセスポート(JTAGポート)をもち、基板上の4信号線のみでバウンダリスキャンチェーンにシリアル接続される。JTAGテストプローブは、この4信号に接続されるだけで各デバイスへのI/Oは不要。このテスト手法はJoint Test Action Group (JTAG)によって提案され、1990年にIEEE 1149.1スタンダードとして採択された。XJTAGテストシステムはテストの生成や再利用を容易にすること、バウンダリスキャンチェーンに直接接続されないJTAG未対応デバイスをテストするために基板上のI2CやSPIバスなどを活用するなど、バウンダリスキャンテストの潜在能力を最大限に引き出している。これにより、メモリ、イーサネットポート、ADCやDACもバウンダリスキャンでテストができる。またセンサやディスプレイデバイス、スイッチなどにも対応している。

## 6 まとめ

BGAなど高密度実装基板の検査・不良解析を電氣的に行えるJTAG バウンダリスキャンテストは、JTAGデバイスの信号線をプローブとして操作・観測するためソフトウェア技術によって最大限に活かされる。そして、XJTAG社は高度なソフトウェア技術によって、バウンダリスキャンツールの使い勝手・容易性・再利用性に革新を起こしたパイオニアである。

- ネットリスト解析機能でJTAGデバイス信号間の実装テストを自動生成
- BOM解析によるJTAG未対応デバイスの機能テスト設定自動化
- JTAG未対応デバイスの機能テストをライブラリ化&無償提供
- DFT解析によりカバレッジ結果からテスト容易性設計へ改善
- ランタイムデバッグやエラー解析のビジュアル化

これらによりテストプログラムの開発工数・費用が軽減され、再利用やサポートも容易になり、今やJTAGバウンダリスキャンテストは設計・開発から製造・メンテナンスまで一貫して活用される。

国内代理店である富士設備は、組み込みソフトウェア開発の専門家としての強みを生かし、この製品の安心サポートを提供している。XJTAG社のサイトには、JTAG バウンダリスキャンに関する技術情報が、和文・英文で公開されている。また国内代理店である富士設備では、動画デモ、デザイン for テストの概説書、成功事例などをホームページで公開し、無償評価版・無償基板セットアップなども受け付けている。

### BGA搭載基板などの 実装検査・不良解析 バウンダリスキャンテスト

